

US公開 2002-135947

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2002-280643

(P2002-280643A)

(43)公開日 平成14年9月27日(2002.9.27)

(51)Int.C1.<sup>7</sup>

識別記号

F I

マーク(参考)

H 01 L 43/08

H 01 L 43/08

Z 2G017

G 01 R 33/09

G 11 B 5/39

5D034

G 11 B 5/39

G 01 R 33/06

R

審査請求 未請求 請求項の数32

OL

(全32頁)

(21)出願番号

特願2001-83129(P2001-83129)

(22)出願日

平成13年3月22日(2001.3.22)

(71)出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72)発明者 青木 大悟

東京都大田区雪谷大塚町1番7号 アルプス  
電気株式会社内

(72)発明者 本田 賢治

東京都大田区雪谷大塚町1番7号 アルプス  
電気株式会社内

(74)代理人 100085453

弁理士 野△崎▽ 照夫

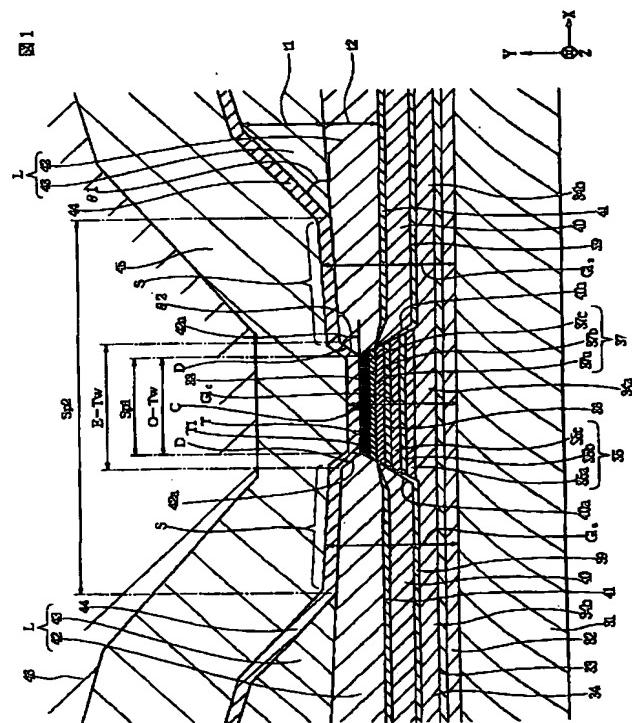
最終頁に続く

(54)【発明の名称】磁気検出素子及びその製造方法

(57)【要約】

【課題】 従来の磁気検出素子では、トラック幅が0.2  $\mu$ m以下になると光学トラック幅よりも実効トラック幅のほうが広くなるという問題が生じていた。

【解決方法】 第1電極層42、42のみと重なる領域であって、第2電極層43、43と重ならない領域における上部シールド層45と下部シールド層31間の距離をG1s、多層膜Tの中央Cと重なる位置における上部シールド層45と下部シールド層31間の距離をG1cとしたときに、前記G1sとG1cの差の値を所定の値以下とすることによって、実効トラック幅E-Twを小さくすることができる。



## 【特許請求の範囲】

【請求項1】 基板上に、磁性材料からなる下部シールド層と、この下部シールド層上に積層される絶縁性材料からなる下部ギャップ層と、反強磁性層、前記反強磁性層との交換結合磁界により磁化方向が固定される固定磁性層、非磁性材料層、及び磁化が外部磁界に対し変動するフリー磁性層を有し、前記下部ギャップ層上に積層される多層膜と、前記多層膜に電流を供給するための電極部と、前記多層膜上及び前記電極部上に積層される絶縁性材料からなる上部ギャップ層と、前記上部ギャップ層上に積層される磁性材料からなる上部シールド層とを有する磁気検出素子において、

前記電極部は、前記多層膜に重なる領域及び／または前記多層膜の両側領域に、トラック幅方向に所定の間隔を開けて形成された一対の電極からなる電極層が複数層積層されたものであり、上層の電極層ほど前記一対の電極のトラック幅方向の間隔が大きくされており、前記複数層の電極層のうち、最下層の電極層のみと重なる領域における前記上部シールド層と前記下部シールド層間の距離をG1s、前記多層膜の中央と重なる位置における前記上部シールド層と前記下部シールド層間の距離をG1cとしたときに、

前記G1sとG1cの差の値を、磁気検出素子の実効トラック幅が0.17μmとなる値以下に設定することを特徴とする磁気検出素子。

【請求項2】 基板上に、磁性材料からなる下部シールド層と、この下部シールド層上に積層される絶縁性材料からなる下部ギャップ層と、反強磁性層、前記反強磁性層との交換結合磁界により磁化方向が固定される固定磁性層、非磁性材料層、及び磁化が外部磁界に対し変動するフリー磁性層を有し、前記下部ギャップ層上に積層される多層膜と、前記多層膜に電流を供給するための電極部と、前記多層膜上及び前記電極部上に積層される絶縁性材料からなる上部ギャップ層と、前記上部ギャップ層上に積層される磁性材料からなる上部シールド層とを有する磁気検出素子において、

前記電極部は、前記多層膜に重なる領域及び／または前記多層膜の両側領域に、トラック幅方向に所定の間隔を開けて形成された一対の電極からなる電極層が複数層積層されたものであって、上層の電極層ほど前記一対の電極のトラック幅方向の間隔が大きくされており、

前記複数層の電極層のうち最下層の電極層上の一と、前記最下層の電極層以外の電極層上の全ての領域を覆う絶縁層が形成され、

前記複数層の電極層のうち最下層の電極層のみと重なる領域であって、前記絶縁層と重ならない領域における前記上部シールド層と前記下部シールド層間の距離をG1s、前記多層膜の中央と重なる位置における前記上部シールド層と前記下部シールド層間の距離をG1cとしたときに、

前記G1sと前記G1cの差の値を、磁気検出素子の実効トラック幅が0.17μmとなる値以下に設定することを特徴とする磁気検出素子。

【請求項3】 前記G1sと前記G1cの値を、G1c-20nm≤G1s≤G1c+90nmを満たす範囲に設定する請求項1または2に記載の磁気検出素子。

【請求項4】 前記G1sと前記G1cの値を、G1c-20nm≤G1s≤G1c+30nmを満たす範囲に設定する請求項1または2に記載の磁気検出素子。

10 【請求項5】 前記G1sと前記G1cの値を、0.67≤G1s/G1c≤2.50を満たす範囲に設定する請求項1ないし4のいずれかに記載の磁気検出素子。

【請求項6】 前記G1sと前記G1cの値を、0.67≤G1s/G1c≤1.50を満たす範囲に設定する請求項1ないし4のいずれかに記載の磁気検出素子。

【請求項7】 前記G1sと前記G1cの値を、G1s>G1cとする請求項1ないし6のいずれかに記載の磁気検出素子。

20 【請求項8】 前記G1sと前記G1cの値を、G1s=G1cとする請求項1ないし6のいずれかに記載の磁気検出素子。

【請求項9】 前記G1sと前記G1cの値を、G1s<G1cとする請求項1ないし6のいずれかに記載の磁気検出素子。

【請求項10】 基板上に、磁性材料からなる下部シールド層と、この下部シールド層上に積層される絶縁性材料からなる下部ギャップ層と、反強磁性層、前記反強磁性層との交換結合磁界により磁化方向が固定される固定磁性層、非磁性材料層、及び磁化が外部磁界に対し変動するフリー磁性層を有し、前記下部ギャップ層上に積層される多層膜と、前記フリー磁性層の磁化方向を一定方向に揃えるためのハードバイアス層と、前記ハードバイアス層に重なる位置に形成された前記多層膜に電流を供給するための電極部と、前記多層膜上及び前記電極部上に積層される絶縁性材料からなる上部ギャップ層と、前記上部ギャップ層上に積層される磁性材料からなる上部シールド層とを有する磁気検出素子において、

前記電極部は、前記多層膜に重なる領域及び／または前記多層膜の両側領域に、トラック幅方向に所定の間隔を開けて形成された一対の電極からなる電極層が複数層積層されたものであり、上層の電極層ほど前記一対の電極のトラック幅方向の間隔が大きくされていることを特徴とする磁気検出素子。

【請求項11】 前記ハードバイアス層は、前記多層膜側の側面が、前記フリー磁性層の側面と直接接しているか、または前記フリー磁性層の側面と非磁性材料からなる膜厚1nm以下のバイアス下地層を介して対向している請求項1ないし10のいずれかに記載の磁気検出素子。

50 【請求項12】 前記複数層の電極層は上層の電極層ほ

ど、前記多層膜表面に平行な平面と前記電極層の前端縁の接平面とがなす角度が小さくなる請求項1ないし11のいずれかに記載の磁気検出素子。

【請求項13】 前記複数層の電極層は上層の電極層ほど膜厚が厚くなる請求項1ないし12のいずれかに記載の磁気検出素子。

【請求項14】 前記複数層の電極層のうち最下層の電極層のハイト方向の奥行長さが、前記多層膜のハイト方向の奥行長さより長い請求項1ないし13のいずれかに記載の磁気検出素子。

【請求項15】 前記複数層の電極層のうち最下層の電極層の材料をW、Ta、Rh、Ir、Ruのいずれか1種または2種以上とし、最下層の電極層以外の電極層の材料をCr、Cu、Au、Taのいずれか1種または2種以上で形成する請求項1ないし14のいずれかに記載の磁気検出素子。

【請求項16】 (a) 基板上に下部シールド層、下部ギャップ層、及び磁気抵抗効果を発揮する多層膜を成膜する工程と、

(b) 前記多層膜上に、レジスト層を形成する工程と、

(c) 前記多層膜の前記レジスト層によって覆われていない領域を削る工程と、

(d) 前記多層膜に重なる領域及び／または前記多層膜の両側領域に、トラック幅方向に所定の間隔を開けて形成された一対の電極からなる第1電極層を、前記基板の法線方向に対し所定の角度から成膜し、その後前記レジスト層を除去する工程と、

(e) 切り込み部の形成されたリフトオフ用のレジスト層を前記多層膜及び前記第1電極層上に形成する工程と、

(f) 前記基板の法線方向に対し所定の角度から、前記第1電極層上に第2の電極層を成膜する工程と、

(g) 前記リフトオフ用の前記レジスト層を除去する工程と、

(h) 前記多層膜及び第2電極層上に上部ギャップ層を成膜する工程と、

(i) 前記上部ギャップ層上に上部シールド層を成膜する工程と、を有することを特徴とする磁気検出素子の製造方法。

【請求項17】 前記(f)の工程における前記所定の角度を、前記(d)の工程における所定の角度より大きく設定する請求項16に記載の磁気検出素子の製造方法。

【請求項18】 前記(f)の工程において、前記第1電極層の膜厚よりも第2の電極層の膜厚を厚くする請求項16または17に記載の磁気検出素子の製造方法。

【請求項19】 前記(g)の工程と(h)の工程の間ににおいて、

(j) 切り込み部の形成されたリフトオフ用のレジスト層を前記多層膜上から既に形成された複数層の電極層の

うち最上層の電極層上にかけて形成し、前記最上層の電極層上にさらに別の電極層を、前記基板の法線方向に対し所定の成膜角度から成膜し、その後前記レジスト層を除去する工程を1回以上行う請求項16ないし18のいずれかに記載の磁気検出素子の製造方法。

【請求項20】 前記(j)の工程において、前記別の電極層を成膜するときの成膜角度を、前記別の電極層の下層の電極層を成膜するときの成膜角度よりも大きくする請求項19に記載の磁気検出素子の製造方法。

10 【請求項21】 前記(j)の工程において、前記別の電極層の膜厚を、前記別の電極層の下層の電極層の膜厚よりも厚くする請求項19または20に記載の磁気検出素子の製造方法。

【請求項22】 前記(f)の工程と前記(g)の工程の間、前記(g)の工程と前記(h)の工程の間、または前記(j)の工程と前記(h)の工程の間ににおいて、(k) 前記最下層の電極層以外の全ての電極層の上面を覆う絶縁層を成膜する工程を有する請求項16ないし21のいずれかに記載の磁気検出素子の製造方法。

20 【請求項23】 前記(h)の工程と前記(i)の工程の間に、

(1) 前記多層膜及び複数層形成された電極層のうち最下層の電極層上の一帯と重なる領域に、切り込み部の形成されたリフトオフ用のレジスト層を積層し、前記基板に対し斜め方向から前記上部ギャップ層上に、前記最下層の電極層以外の電極層上の全ての領域を覆う絶縁層を成膜する工程を有する請求項16ないし22のいずれかに記載の磁気検出素子の製造方法。

30 【請求項24】 前記(c)の工程の後、前記多層膜の両側にハードバイアス層を成膜した後、前記(d)の工程によって前記第1電極層を成膜する工程を有する請求項16ないし23のいずれかに記載の磁気検出素子の製造方法。

【請求項25】 前記(d)の工程において、前記第1電極層のハイト方向の奥行長さを、前記多層膜のハイト方向の奥行長さより長く形成する請求項16ないし24のいずれかに記載の磁気検出素子の製造方法。

40 【請求項26】 前記(d)の工程において、前記第1電極層の材料をW、Ta、Rh、Ir、Ruのうちいずれか1種または2種以上とし、前記(f)、(j)の工程において前記第1電極層以外の電極層の材料をCr、Cu、Au、Taのうちいずれか1種または2種以上とする請求項16ないし25のいずれかに記載の磁気検出素子の製造方法。

【請求項27】 前記複数層の電極層のうち、最下層の電極層のみと重なる領域または、前記複数層の電極層のうち最下層の電極層のみと重なる領域であつて前記絶縁層と重ならない領域における、前記上部シールド層と前記下部シールド層間の距離をG1s、前記多層膜の中央50 と重なる位置における前記上部シールド層と前記下部シ

ールド層間の距離をG<sub>1c</sub>としたときに、前記G<sub>1s</sub>とG<sub>1c</sub>の差の値を、磁気検出素子の実効トラック幅が0.17μmとなる値以下に設定する請求項16ないし26のいずれかに記載の磁気検出素子の製造方法。

【請求項28】前記G<sub>1s</sub>と前記G<sub>1c</sub>の値を、G<sub>1c</sub>-20nm≤G<sub>1s</sub>≤G<sub>1c</sub>+90nmを満たす範囲に設定する請求項27に記載の磁気検出素子の製造方法。

【請求項29】前記G<sub>1s</sub>と前記G<sub>1c</sub>の値を、0.67≤G<sub>1s</sub>/G<sub>1c</sub>≤2.50を満たす範囲に設定する請求項27または28に記載の磁気検出素子の製造方法。

【請求項30】前記G<sub>1s</sub>と前記G<sub>1c</sub>の値を、G<sub>1s</sub>>G<sub>1c</sub>とする請求項27ないし29のいずれかに記載の磁気検出素子の製造方法。

【請求項31】前記G<sub>1s</sub>と前記G<sub>1c</sub>の値を、G<sub>1s</sub>=G<sub>1c</sub>とする請求項27ないし29のいずれかに記載の磁気検出素子の製造方法。

【請求項32】前記G<sub>1s</sub>と前記G<sub>1c</sub>の値を、G<sub>1s</sub><G<sub>1c</sub>とする請求項27ないし29のいずれかに記載の磁気検出素子の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、磁気抵抗効果を利用して磁界を検出する磁気検出素子に係り、特に、実効トラック幅を狭くして高記録密度化に対応することできる磁気検出素子およびその製造方法に関する。

##### 【0002】

【従来の技術】図28は従来の磁気検出素子を記録媒体との対向面側からみた断面図である。

【0003】図28に示す磁気検出素子では、下部シールド層8上に下部ギャップ層9が積層され、下部ギャップ層9上に下地層10を介して反強磁性層11が、図示X方向に長く形成され、X方向の中心では反強磁性層11が高さ寸法d1だけ突出して形成されている。そしてこの突出した反強磁性層11上に、固定磁性層12、非磁性導電層13、フリー磁性層14、及び保護層15が形成され、下地層10から保護層15までの積層体が多層膜16として構成されている。

【0004】反強磁性層11はPt-Mn(白金-マンガン)合金などの反強磁性材料により形成されている。

【0005】前記固定磁性層12およびフリー磁性層14は、Ni-Fe(ニッケル-鉄)合金、Co(コバルト)、Co-Fe(コバルト-鉄)合金、Co-Fe-Ni合金などで形成されており、前記非磁性導電層13は、Cu(銅)などの電気抵抗の低い非磁性導電材料で形成されている。

【0006】そして図28に示すように、図示X方向に延ばされて形成された反強磁性層11の幅寸法T8上か

ら、固定磁性層12、非磁性導電層13、及びフリー磁性層14の側面にかけて、Crなどで形成された緩衝膜及び配向膜となる金属膜17が形成されており、この金属膜17の形成によって、後述するハードバイアス層18から発生するバイアス磁界を増大させることができる。

【0007】金属膜17の上には、例えばCo-Pt(コバルト-白金)合金やCo-Cr-Pt(コバルト-クロム-白金)合金などで形成されたハードバイアス層18が形成されている。

【0008】ハードバイアス層18は図示X方向(トラック幅方向)に着磁されており、ハードバイアス層18からのX方向へのバイアス磁界により、フリー磁性層14の磁化は図示X方向に揃えられている。

【0009】またハードバイアス層18上には、Taなどの非磁性材料で形成された中間層19が形成され、この中間層19の上に、Cr、Au、Ta、Wなどで形成された電極層20が形成されている。

【0010】さらに、多層膜16及び電極層20上に絶縁材料からなる上部ギャップ層21が積層され、磁性材料からなる上部ギャップ層21上に上部シールド層22が形成される。

【0011】ここで、電極層20が形成されていない多層膜16の上面の幅寸法が、光学的トラック幅寸法O-Twであり、多層膜16の中央と重なる位置における上部シールド層22と下部シールド層8間の距離がギャップ長G1である。

##### 【0012】

【発明が解決しようとする課題】近年、磁気記録媒体の高記録密度化がますます進み、線記録密度を大きくするために、磁気検出素子のギャップ長G1をますます短くすることが要求されるようになってきた。ギャップ長G1を短くするためには、下部ギャップ層9及び上部ギャップ層21の膜厚を小さくする必要がある。

【0013】しかし、図28に示されたような従来の磁気検出素子の構造では、上部ギャップ層21の形成面には、多層膜16の表面16aと電極層20の側面20aとによって段差が形成されている。この段差上には上部ギャップ層21を形成するための絶縁性材料が積層されにくい。従って、前記段差が形成された状態のまま、上部ギャップ層21の膜厚を小さくしていくと、この段差上に上部ギャップ層21が形成されにくくなり、上部シールド層22と電極層20の間が電気的に短絡しやすくなる。

【0014】また、検出対象の記録トラックの両側にある記録トラックから発生する記録媒体からの磁界が磁気検出素子に侵入し、多層膜16の両側部に近い領域において感知されるという現象が生じる。この現象は、磁気検出素子のトラック幅寸法及びトラックピッチ間隔が広ければ、例えばトラック幅寸法が0.2μm以上である

ときには、無視していくてもよかつた。しかし、前記トラック幅寸法が $0.2\mu\text{m}$ 以下になってくるとトラックピッチ間隔も狭くなり、検出対象の記録トラックからの磁界の大きさに対する、両側にある記録トラックから侵入してくる磁界の大きさの割合が大きくなり、その結果実効トラック幅寸法が光学的トラック幅寸法O-Twより大きくなってしまうという現象が生じ、磁気検出素子が記録媒体の高記録密度化に対応できなくなるという問題が生じていた。

【0015】本発明は上記従来の課題を解決するためのものであり、磁気検出素子の狭ギャップ化、狭トラック幅化を進めることのできる磁気検出素子及びその製造方法を提供することを目的としている。

#### 【0016】

【課題を解決するための手段】本発明は、基板上に、磁性材料からなる下部シールド層と、この下部シールド層上に積層される絶縁性材料からなる下部ギャップ層と、反強磁性層、前記反強磁性層との交換結合磁界により磁化方向が固定される固定磁性層、非磁性材料層、及び磁化が外部磁界に対し変動するフリー磁性層を有し、前記下部ギャップ層上に積層される多層膜と、前記多層膜に電流を供給するための電極部と、前記多層膜上及び前記電極部上に積層される絶縁性材料からなる上部ギャップ層と、前記上部ギャップ層上に積層される磁性材料からなる上部シールド層とを有する磁気検出素子において、前記電極部は、前記多層膜に重なる領域及び／または前記多層膜の両側領域に、トラック幅方向に所定の間隔を開けて形成された一対の電極からなる電極層が複数層積層されたものであり、上層の電極層ほど前記一対の電極のトラック幅方向の間隔が大きくされており、前記複数層の電極層のうち、最下層の電極層のみと重なる領域における前記上部シールド層と前記下部シールド層間の距離をG1s、前記多層膜の中央と重なる位置における前記上部シールド層と前記下部シールド層間の距離をG1cとしたときに、前記G1sとG1cの差の値を、磁気検出素子の実効トラック幅が $0.17\mu\text{m}$ となる値以下に設定することを特徴とするものである。

【0017】前記最下層の電極層は、前記多層膜の両側に隣接して設けられるものなので、前記最下層の電極層のみと重なる領域における前記上部シールド層と前記下部シールド層間の距離G1sは、前記多層膜の両側近傍における前記上部シールド層と前記下部シールド層間の距離ということになる。

【0018】前記多層膜の両側近傍における前記上部シールド層と前記下部シールド層間の距離が大きくなると、前記上部シールド層と前記下部シールド層の間を通して、検出対象の記録トラックの両側の記録トラックから発生する記録媒体からの磁界が磁気検出素子に侵入しやすくなり、実効トラック幅が大きくなる。すなわち、記録トラック間のクロストークが発生しやすくなる。

10 【0019】実際、後述するように、前記G1sとG1cの差の値が大きくなると磁気検出素子の実効トラック幅も大きくなる。

【0020】本発明では前記G1sとG1cの差の値を所定の値以下とすることによって、前記多層膜の両側近傍における前記上部シールド層と前記下部シールド層間の距離が大きくなることを抑え、実効トラック幅を小さくすることができる。特に、本発明では実効トラック幅を $0.17\mu\text{m}$ 以下にできる。

【0021】ただし、前記多層膜の両側近傍における前記上部シールド層と前記下部シールド層間の距離を小さくすると、前記多層膜の両側に設けられ、前記多層膜に直流電流を供給する電極層の膜厚を薄くする必要が生じ、その結果磁気検出素子の直流抵抗値が大きくなってしまう。

20 【0022】そこで、本発明では、前記電極部をトラック幅方向に所定の間隔を開けて形成された一対の電極からなる電極層が複数層積層され、上層の電極層ほど前記一対の電極のトラック幅方向の間隔が大きくされたものとすることによって、前記多層膜近傍においては前記電極部を薄く形成し、前記多層膜から離れたところで、前記電極層を複数層積層することによって、前記電極部の膜厚を大きくしている。

【0023】この結果、前記多層膜の両側近傍における前記上部シールド層と前記下部シールド層間の距離を小さくしつつ、磁気検出素子の直流抵抗値を小さくできる。

30 【0024】また、本発明では、前記多層膜近傍においては前記電極部を薄く形成できるので、前記多層膜の表面と前記電極部の側面とによって形成される段差を低くできる。従って、前記上部ギャップ層の膜厚を小さくしても、この段差上に前記上部ギャップ層が確実に形成されるようになる。すなわち、前記上部シールド層と前記電極層との間の電気的短絡をより確実に防止できるようになる。

【0025】また、本発明は、基板上に、磁性材料からなる下部シールド層と、この下部シールド層上に積層される絶縁性材料からなる下部ギャップ層と、反強磁性層、前記反強磁性層との交換結合磁界により磁化方向が固定される固定磁性層、非磁性材料層、及び磁化が外部磁界に対し変動するフリー磁性層を有し、前記下部ギャップ層上に積層される多層膜と、前記多層膜に電流を供給するための電極部と、前記多層膜上及び前記電極部上に積層される絶縁性材料からなる上部ギャップ層と、前記上部ギャップ層上に積層される磁性材料からなる上部シールド層とを有する磁気検出素子において、前記電極部は、前記多層膜に重なる領域及び／または前記多層膜の両側領域に、トラック幅方向に所定の間隔を開けて形成された一対の電極からなる電極層が複数層積層されたものであって、上層の電極層ほど前記一対の電極のトラ

ック幅方向の間隔が大きくされており、前記複数層の電極層のうち最下層の電極層上の一と、前記最下層の電極層以外の電極層上の全ての領域を覆う絶縁層が形成され、前記複数層の電極層のうち最下層の電極層のみと重なる領域であって、前記絶縁層と重ならない領域における前記上部シールド層と前記下部シールド層間の距離をG1s、前記多層膜の中央と重なる位置における前記上部シールド層と前記下部シールド層間の距離をG1cとしたときに、前記G1sと前記G1cの差の値を、磁気検出素子の実効トラック幅が0.17μmとなる値以下に設定することを特徴とするものである。

【0026】本発明では、前記複数層の電極層のうち最下層の電極層上の一と、前記最下層の電極層以外の電極層上の全ての領域を覆う絶縁層が形成されるので、実効トラック幅や再生パルス幅(PW50)に影響しない部分において、前記上部シールド層と前記電極層との間の電気的短絡をより確実に防止できる。

【0027】また、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 90\text{ nm}$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 70\text{ nm}$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 30\text{ nm}$ を満たす範囲に設定することである。

【0028】あるいは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.50$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.17$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 1.50$ を満たす範囲に設定することである。

【0029】なお、上述した前記G1sと前記G1cの値の範囲内で、前記G1sと前記G1cの値を、 $G1s > G1c$ としても、 $G1s = G1c$ としても、 $G1s < G1c$ としてもよい。

【0030】 $G1s > G1c$ であれば、前記多層膜の両側近傍における前記上部シールド層と前記下部シールド層間の距離は、前記多層膜に重なる領域における前記上部シールド層と前記下部シールド層間の距離(ギャップ長)より大きい。

【0031】 $G1s = G1c$ であれば、前記多層膜の両側近傍における前記上部シールド層と前記下部シールド層間の距離は、前記多層膜に重なる領域における前記上部シールド層と前記下部シールド層間の距離(ギャップ長)に等しい。

【0032】 $G1s < G1c$ であれば、前記多層膜の両側近傍における前記上部シールド層と前記下部シールド層間の距離は、前記多層膜に重なる領域における前記上

10

部シールド層と前記下部シールド層間の距離(ギャップ長)より小さい。

【0033】また、本発明は、基板上に、磁性材料からなる下部シールド層と、この下部シールド層上に積層される絶縁性材料からなる下部ギャップ層と、反強磁性層、前記反強磁性層との交換結合磁界により磁化方向が固定される固定磁性層、非磁性材料層、及び磁化が外部磁界に対し変動するフリー磁性層を有し、前記下部ギャップ層上に積層される多層膜と、前記フリー磁性層の磁化方向を一定方向に揃えるためのハードバイアス層と、前記ハードバイアス層に重なる位置に形成された前記多層膜に電流を供給するための電極部と、前記多層膜上及び前記電極部上に積層される絶縁性材料からなる上部ギャップ層と、前記上部ギャップ層上に積層される磁性材料からなる上部シールド層とを有する磁気検出素子において、前記電極部は、前記多層膜に重なる領域及び/または前記多層膜の両側領域に、トラック幅方向に所定の間隔を開けて形成された一対の電極からなる電極層が複数層積層されたものであり、上層の電極層ほど前記一対の電極のトラック幅方向の間隔が大きくなっていることを特徴とするものである。

【0034】本発明では、前記フリー磁性層の磁化方向を一定方向に揃える能力の高い強磁性材料からなるハードバイアス層を用いて、前記フリー磁性層を単磁区化している。

【0035】しかし、ハードバイアス層を用いると、このハードバイアス層に重なる位置に前記電極部を形成しなくてはならなくなり、前記多層膜の表面と前記電極部の側面とによって形成される段差が高くなり、上部ギャップ層が確実に形成されにくくなる。

【0036】本発明では、前記電極部をトラック幅方向に所定の間隔を開けて形成された一対の電極からなる電極層が複数層積層され、上層の電極層ほど前記一対の電極のトラック幅方向の間隔が大きくなれたものとすることによって、前記多層膜近傍においては前記電極部を薄く形成し、前記多層膜から離れたところで、前記電極層を複数層積層することによって、前記電極部の膜厚を大きくなっている。

【0037】従って本発明では、前記多層膜近傍においては前記電極部を薄く形成できるので、前記多層膜の表面と前記電極部の側面とによって形成される段差を低くでき、この段差上に前記上部ギャップ層が確実に形成されるようにできる。すなわち、前記上部シールド層と前記電極層との間の電気的短絡をより確実に防止できるようになる。

【0038】なお、前記ハードバイアス層は、前記多層膜側の側面が、前記フリー磁性層の側面と直接接しているか、または前記フリー磁性層の側面と非磁性材料からなる膜厚1nm以下のバイアス下地層を介して対向していると、前記ハードバイアス層と前記フリー磁性層が磁

40

50

気的に連続体となり、安定性が増すので好ましい。

【0039】また、前記複数層の電極層は上層の電極層ほど、前記多層膜表面に平行な平面と前記電極層の前端縁の接平面とがなす角度が小さくなり、上層の電極層ほど膜厚が厚くなることが好ましい。

【0040】また、本発明では、前記複数層の電極層のうち最下層の電極層のハイト方向の奥行長さを、前記多層膜のハイト方向の奥行長さより長くすることにより、磁気検出素子の直流抵抗値を小さくできる。

【0041】なお、前記複数層の電極層のうち、前記多層膜と電気的に接続される最下層の電極層は、磁気検出素子の記録媒体との対向面を研磨して直流抵抗値を調節する工程においてスメアが発生しにくくするように、W、T a、R h、I r、R uのいずれか1種または2種以上を材料として用い、最下層の電極層以外の電極層は、比抵抗の小さいC r、Cu、Au、Taのいずれか1種または2種以上を材料として用いることが好ましい。

【0042】実効トラック幅は、例えば、フルトラックプロファイル法によって測定される。以下、フルトラックプロファイル法について図27を参照しながら説明する。

【0043】記録媒体上に磁気検出素子Rの素子幅よりも幅広の記録トラック幅Wwの記録トラックで信号を記録しておき、磁気検出素子を、記録トラック上でトラック幅方向(X方向)に走査させて、磁気検出素子の記録トラック幅方向(X方向)の位置と再生出力との関係を測定する。その測定結果は、図27の上側に示されている。

【0044】この測定結果の再生波形を見ると、記録トラックの中央付近では、再生出力が高くなり、記録トラックの中央から離れるにつれて再生出力は低くなることがわかる。

【0045】再生波形上の再生出力が最大値の50%となる点P a及び点P bにおける接線とX軸との交点を、それぞれ点P c、点P dとする。点P cと点P dの間の距離Aと点P aと点P b間の距離(半値幅)Bの差が磁気検出素子の実効トラック幅となる。ここで、X軸の単位は、半値幅B=記録トラック幅Wwとなるように規格化する。

【0046】本発明の磁気検出素子の製造方法は、

- (a) 基板上に下部シールド層、下部ギャップ層、及び磁気抵抗効果を発揮する多層膜を成膜する工程と、
- (b) 前記多層膜上に、レジスト層を形成する工程と、
- (c) 前記多層膜の前記レジスト層によって覆われていない領域を削る工程と、(d) 前記多層膜に重なる領域及び/または前記多層膜の両側領域に、トラック幅方向に所定の間隔を開けて形成された一対の電極からなる第1電極層を、前記基板の法線方向に対し所定の角度から成膜し、その後前記レジスト層を除去する工程と、
- (e) 切り込み部の形成されたリフトオフ用のレジスト

層を前記多層膜及び前記第1電極層上に形成する工程と、(f) 前記基板の法線方向に対し所定の角度から、前記第1電極層上に第2の電極層を成膜する工程と、

(g) 前記リフトオフ用のレジスト層を除去する工程と、(h) 前記多層膜及び第2電極層上に上部ギャップ層を成膜する工程と、(i) 前記上部ギャップ層上に上部シールド層を成膜する工程と、を有することを特徴とするものである。

【0047】前記(f)の工程における前記所定の角度を、前記(d)の工程における所定の角度より大きく設定し、前記(f)の工程において、前記第1電極層の膜厚よりも第2の電極層の膜厚を厚くすることが好ましい。

【0048】また、前記(g)の工程と(h)の工程の間において、(j) 切り込み部の形成されたリフトオフ用のレジスト層を前記多層膜上から既に形成された複数層の電極層のうち最上層の電極層上にかけて形成し、前記最上層の電極層上にさらに別の電極層を、前記基板の法線方向に対し所定の成膜角度から成膜し、その後前記レジスト層を除去する工程を1回以上行ってもよい。

【0049】なお、前記(j)の工程において、前記別の電極層を成膜するときの成膜角度を、前記別の電極層の下層の電極層を成膜するときの成膜角度よりも大きくし、また、前記別の電極層の膜厚を、前記別の電極層の下層の電極層の膜厚よりも厚くすることが好ましい。

【0050】また、前記(f)の工程と前記(g)の工程の間、前記(g)の工程と前記(h)の工程の間、または前記(j)の工程と前記(h)の工程の間において、(k) 前記最下層の電極層以外の全ての電極層の上面を覆う絶縁層を成膜する工程を有することが好ましい。

【0051】また、前記(h)の工程と前記(i)の工程の間に、(l) 前記多層膜及び複数層形成された電極層のうち最下層の電極層上の一一部と重なる領域に、切り込み部の形成されたリフトオフ用のレジスト層を積層し、前記基板に対し斜め方向から前記上部ギャップ層上に前記最下層の電極層以外の電極層上の全ての領域を覆う絶縁層を成膜する工程を有することが好ましい。

【0052】前記(k)の工程及び/又は前記(l)の工程を有する磁気検出素子の製造方法によって形成された磁気検出素子は、前記最下層の電極層以外の電極層上の全ての領域を覆う絶縁層が形成されるので、実効トラック幅や再生パルス幅(PW50)に影響しない部分において、前記上部シールド層と前記電極層との間の電気的短絡をより確実に防止できる。

【0053】本発明では、前記(c)の工程の後、前記多層膜の両側にハードバイアス層を成膜した後、前記(d)の工程によって前記第1電極層を成膜する工程を有してもよい。

【0054】また、前記(d)の工程において、前記第

1電極層のハイト方向の奥行長さを、前記多層膜のハイト方向の奥行長さより長く形成することが好ましい。

【0055】また、前記(d)の工程において、前記第1電極層の材料をW、Ta、Rh、Ir、Ruのいずれか1種または2種以上とし、前記(f)、(j)の工程において前記第1電極層以外の電極層の材料をCr、Cu、Au、Taのいずれか1種または2種以上とすることが好ましい。

【0056】なお、上記本発明の磁気検出素子の製造方法において、前記複数層の電極層のうち、最下層の電極層のみと重なる領域、または前記複数層の電極層のうち最下層の電極層のみと重なる領域であって前記絶縁層と重ならない領域における、前記上部シールド層と前記下部シールド層間の距離をG1s、前記多層膜の中央と重なる位置における前記上部シールド層と前記下部シールド層間の距離をG1cとしたときに、前記G1sとG1cの差の値を、磁気検出素子の実効トラック幅が0.17μmとなる値以下に設定することが好ましい。

【0057】あるいは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 90\text{ nm}$ を満たす範囲、または、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.50$ を満たす範囲に設定してもよい。

【0058】上述した範囲で、前記G1sと前記G1cの値を $G1s > G1c$ としても、 $G1s = G1c$ としても、 $G1s < G1c$ としてもよい。

#### 【0059】

【発明の実施の形態】図1は、本発明の第1の実施の形態の磁気検出素子を記録媒体との対向面側からみた断面図である。

【0060】図1では、下地層33、反強磁性層34、第1の固定磁性層35a、非磁性中間層35b、第2の固定磁性層35cからなるシンセティックフェリピンド型の固定磁性層35、非磁性材料層36、第2のフリー磁性層37a、非磁性中間層37b、第1フリー磁性層37cからなるシンセティックフェリフリーリー型のフリー磁性層37、保護層38が積層された多層膜Tが形成されている。

【0061】多層膜Tの下層には、基板(図示せず)上に、アルミナなどの絶縁性材料からなる下地層(図示せず)を介して、下部シールド層31、下部ギャップ層32が成膜されている。

【0062】多層膜T中の反強磁性層34は図示X方向に延長され、この延出部34bの上面と固定磁性層35の側面、非磁性材料層36の側面、及び第2のフリー磁性層37aの側面に接してCr、Ti、Mo、W<sub>50</sub>Mo<sub>50</sub>などによってバイアス下地層39が形成されている。バイアス下地層39の上には、例えばCo-Pt(コバルト-白金)合金やCo-Cr-Pt(コバルト-クロム-白金)合金などで形成されたハードバイアス層40

が形成されている。

【0063】ハードバイアス層40上には、Taなどの非磁性材料で形成された中間層41が形成され、この中間層41の上に、Cr、Au、Ta、W、Rh、Ir、Ruのいずれか1種または2種以上、などで形成された第1電極層42、42が形成されている。

【0064】第1電極層42、42は、多層膜Tの両側領域に、トラック幅方向に所定の間隔Sp1を開けて形成された一対の電極からなっている。第1電極層42、42上にはCr、Au、Cu、Taなどで形成された第2電極層43、43が積層されている。第2電極層43、43は、第1電極層42、42より、一対の電極のトラック幅方向の間隔Sp2が大きくされている。

【0065】多層膜Tの表面、第1電極層42、42の表面、及び第2電極層43、43の表面には、上部ギャップ層44が成膜され、上部ギャップ層44上には上部シールド層45が形成されている。上部シールド層45は、無機絶縁材料からなる保護層46によって覆われる。または、上部シールド層45の上に記録用のインダクティブヘッドを形成してもよい。

【0066】下部シールド層31、下部ギャップ層32、下地層33、反強磁性層34、固定磁性層35、非磁性材料層36、フリー磁性層37、保護層38、バイアス下地層39、ハードバイアス層40、中間層41、第1電極層42、第2電極層43、上部ギャップ層44、上部シールド層45、及び保護層46はスペッタ法や蒸着法などの薄膜形成プロセスによって形成される。

【0067】下部シールド層31及び上部シールド層45はNiFeなどの磁性材料を用いて形成される。なお、下部シールド層31及び上部シールド層45は磁化容易軸がトラック幅方向(図示X方向)を向いていることが好ましい。下部シールド層31及び上部シールド層45は、電解メッキ法によって形成されてもよい。

【0068】下部ギャップ層32、上部ギャップ層44、及び保護層46はAl<sub>2</sub>O<sub>3</sub>やSiO<sub>2</sub>などの非磁性無機材料を用いて形成される。

【0069】下地層33はTaなどを用いて形成する。反強磁性層34は、PtMn合金、または、X-Mn(ただしXは、Pd、Ir、Rh、Ru、Os、Ni、Feのいずれか1種または2種以上の元素である)合金で、あるいはPt-Mn-X'(ただしX'は、Pd、Ir、Rh、Ru、Au、Ag、Os、Cr、Ni、Ar、Ne、Xe、Krのいずれか1または2種以上の元素である)合金で形成する。

【0070】これらの合金は、成膜直後の状態では、不規則系の面心立方構造(fcc)であるが、熱処理によってCuAuI型の規則型の面心正方構造(fcc)に構造変態する。

【0071】反強磁性層34の膜厚は、トラック幅方向の中心付近において80~300Å、例えば200Åで

ある。

【0072】ここで、反強磁性層34を形成するための、前記PtMn合金及び前記X-Mnの式で示される合金において、PtあるいはXが37~63at%の範囲であることが好ましい。また、前記PtMn合金及び前記X-Mnの式で示される合金において、PtあるいはXが47~57at%の範囲であることがより好ましい。特に規定しない限り、~で示す数値範囲の上限と下限は以下、以上を意味する。

【0073】また、Pt-Mn-X'の式で示される合金において、X'+Ptが37~63at%の範囲であることが好ましい。また、前記Pt-Mn-X'の式で示される合金において、X'+Ptが47~57at%の範囲であることがより好ましい。さらに、前記Pt-Mn-X'の式で示される合金において、X'が0.2~10at%の範囲であることが好ましい。ただし、X'がPd, Ir, Rh, Ru, Os, Ni, Feのいずれか1種または2種以上の元素である場合には、X'は0.2~40at%の範囲であることが好ましい。

【0074】これらの合金を使用し、これを熱処理することにより、大きな交換結合磁界を発生する反強磁性層34を得ることができる。特に、PtMn合金であれば、48kA/m以上、例えば64kA/mを越える交換結合磁界を有し、前記交換結合磁界を失うプロッキング温度が380°Cと極めて高い優れた反強磁性層34を得ることができる。

【0075】第1固定磁性層35a及び第2固定磁性層35cは、強磁性材料により形成されるもので、例えばNiFe合金、Co、CoFeNi合金、CoFe合金、CoNi合金などにより形成されるものであり、特にCoFe合金またはCoにより形成されることが好ましい。また、第1固定磁性層35a及び第2固定磁性層35cは同一の材料で形成されることが好ましい。

【0076】また、非磁性中間層35bは、非磁性材料により形成されるもので、Ru、Rh、Ir、Cr、Re、Cuのうち1種またはこれらの2種以上の合金で形成されている。特にRuによって形成されることが好ましい。

【0077】非磁性材料層36は、固定磁性層35とフリー磁性層37との磁気的な結合を防止し、またセンス電流が主に流れる層であり、Cu, Cr, Au, Agなど導電性を有する非磁性材料により形成されることが好ましい。特にCuによって形成されることが好ましい。

【0078】第1フリー磁性層37c及び第2フリー磁性層37aは、強磁性材料により形成されるもので、例えばNiFe合金、Co、CoFeNi合金、CoFe合金、CoNi合金などにより形成されるものであり、特にNiFe合金またはCoFe合金、CoFeNi合金により形成されることが好ましい。

【0079】非磁性中間層37bは、非磁性材料により

形成されるもので、Ru、Rh、Ir、Cr、Re、Cuのうち1種またはこれらの2種以上の合金で形成されている。特にRuによって形成されることが好ましい。

【0080】保護層38はTaなどを用いて形成される。バイアス下地層39を結晶構造がbcc(体心立方格子)構造であるCr, Ti, Mo, W<sub>50</sub>Mo<sub>50</sub>などを用いて下地層を形成すると、ハードバイアス層40の保磁力及び角形比が大きくなりバイアス磁界を大きくできる。

【0081】ハードバイアス層40の多層膜Tと対向する側の側面40aは、固定磁性層35の側面、非磁性材料層36の側面、及び第2のフリー磁性層37aの側面とのみ対向しており、第1フリー磁性層37cの側面とは対向していない。

【0082】ハードバイアス層40は図示X方向(トラック幅方向)に着磁されており、ハードバイアス層40からのX方向へのバイアス磁界により、第2のフリー磁性層37aの磁化は図示X方向に揃えられている。

【0083】フリー磁性層37は、磁気モーメントの大きさが異なる第2のフリー磁性層37aと第1のフリー磁性層37cが、非磁性中間層37bを介して積層され、第2のフリー磁性層37aと第1のフリー磁性層37cの磁化方向が反平行となるフェリ磁性状態である。このとき、磁気モーメントが大きい方、例えば、第2フリー磁性層37aの磁化方向が、ハードバイアス層40から発生する磁界の方向に向き、第1フリー磁性層37cの磁化方向が、180度反対方向に向いた状態になる。

【0084】第2フリー磁性層37aと第1フリー磁性層37cの磁化方向が180度異なる反平行のフェリ磁性状態になると、フリー磁性層37の膜厚を薄くすることと同等の効果が得られ、単位面積あたりの実効的な磁気モーメントが小さくなり、フリー磁性層37の磁化が変動しやすくなって、磁気検出素子の磁界検出感度が向上する。

【0085】第1フリー磁性層37cの磁気モーメントと第2フリー磁性層37aの磁気モーメントを足し合わせた合成磁気モーメントの方向がフリー磁性層37の磁化方向となる。

【0086】ただし、固定磁性層35の磁化方向との関係で出力に寄与するのは第2フリー磁性層37aの磁化方向のみである。

【0087】ハードバイアス層40は、フリー磁性層37を構成する第2フリー磁性層37aと第1フリー磁性層37cのうち、一方の磁化方向を揃えるだけでよい。図1では、第2フリー磁性層37aの磁化方向のみをそろえている。第2フリー磁性層37aの磁化方向が一定方向に揃えられると、第1フリー磁性層37cは磁化方向が反平行となるフェリ磁性状態となり、フリー磁性層37全体の磁化方向が一定方向に揃えられる。

【0088】本実施の形態では、ハードバイアス層40は図示X方向の静磁界を、主に第2のフリー磁性層37aに与える。従って、ハードバイアス層40から発生する図示X方向の静磁界によって、第1フリー磁性層37cの磁化方向（図示X方向と逆向き）が乱されることを抑えることができる。

【0089】また、図1では、磁気モーメントが異なる第1固定磁性層35aと第2固定磁性層35cが、非磁性中間層35bを介して積層されたものが、一つの固定磁性層35として機能する。

【0090】第1固定磁性層35aは反強磁性層34と接して形成され、磁場中アニールが施されることにより、第1固定磁性層35aと反強磁性層34との界面にて交換結合による交換異方性磁界が生じ、第1固定磁性層35aの磁化方向が図示Y方向に固定される。第1固定磁性層35aの磁化方向が図示Y方向に固定されると、非磁性中間層35bを介して対向する第2固定磁性層35cの磁化方向が、前記第1固定磁性層35aの磁化方向と反平行の状態で固定される。

【0091】このように、第1固定磁性層35aと第2固定磁性層35cの磁化方向が、反平行となるフェリ磁性状態になっていると、第1固定磁性層35aと第2固定磁性層35cとが互いに他方の磁化方向を固定しあうので、全体として固定磁性層35の磁化方向を一定方向に強力に固定することができる。

【0092】なお、第1固定磁性層35aの磁気モーメントと第2固定磁性層35cの磁気モーメントを足し合わせた合成磁気モーメントの方向が固定磁性層35の磁化方向となる。

【0093】図1では、第1固定磁性層35a及び第2固定磁性層35cを同じ材料を用いて形成し、さらに、それぞれの膜厚を異ならせることにより、それぞれの磁気モーメントを異ならせている。

【0094】また、第1固定磁性層35a及び第2固定磁性層35cの固定磁化による反磁界（双極子磁界）を、第1固定磁性層35a及び第2固定磁性層35cの静磁界結合同士が相互に打ち消し合うことによりキャンセルできる。これにより、固定磁性層35の固定磁化による反磁界（双極子磁界）からの、フリー磁性層37の変動磁化への寄与を減少させることができる。

【0095】従って、フリー磁性層37の変動磁化の方向を所望の方向に補正することがより容易になり、アシンメトリーの小さい対称性の優れたスピンドル型薄膜磁気素子を得ることが可能になる。

【0096】ここで、アシンメトリーとは、再生出力波形の非対称性の度合いを示すものであり、再生出力波形が与えられた場合、波形が対称であればアシンメトリーが小さくなる。従って、アシンメトリーが0に近づく程再生出力波形が対称性に優れることになる。

【0097】前記アシンメトリーは、フリー磁性層37

50 の磁化の方向と固定磁性層35の固定磁化の方向とが直交しているときに0となる。アシンメトリーが大きくなるとメディアからの情報の読み取りが正確にできなくなり、エラーの原因となる。このため、前記アシンメトリーが小さいものほど、再生信号処理の信頼性が向上することになり、スピンドル型薄膜磁気素子として優れたものとなる。

【0098】また、固定磁性層の固定磁化による反磁界（双極子磁界）Hdは、素子高さ方向において、その端部で大きく中央部で小さいという不均一な分布を持ち、フリー磁性層37内における单磁区化が妨げられる場合があるが、固定磁性層35を上記の積層構造とすることにより双極子磁界HdをほぼHd=0とすることができ、これによってフリー磁性層37内に磁壁ができる磁化の不均一が発生しバルクハウゼンノイズなどが発生することを防止することができる。

【0099】第1電極層42とハードバイアス層40との間に、TaまたはCrからなる中間層41が設けられると、熱拡散を防ぐことができ、ハードバイアス層40の磁気特性の劣化を防止できる。

【0100】第1電極層42としてTaを用いる場合には、Crの中間層41を設けることによってCrの上層に積層されるTaの結晶構造を低抵抗の体心立方構造にしやすくなる。

【0101】また、第1電極層42としてCrを用いる場合には、Taの中間層41を設けることにより、Crがエピタキシャルに成長して、抵抗値を低減できる。

【0102】図1に示された磁気検出素子は、いわゆるスピンドル型磁気検出素子であり、固定磁性層35の磁化方向が、適正に図示Y方向に平行な方向に固定され、しかもフリー磁性層37の磁化が適正に図示X方向に揃えられており、固定磁性層35とフリー磁性層37の磁化が直交関係にある。そして記録媒体からの外部磁界に対し、フリー磁性層37の磁化が感度良く変動し、この磁化方向の変動と、固定磁性層35の固定磁化方向との関係で電気抵抗が変化し、この電気抵抗値の変化に基づく電圧変化により、記録媒体からの洩れ磁界が検出される。

【0103】ただし、電気抵抗値の変化（出力）に直接寄与するのは第2固定磁性層35cの磁化方向と第2フリー磁性層37aの磁化方向の相対角であり、これらの相対角が検出電流が通電されている状態かつ信号磁界が印加されていない状態で直交していることが好ましい。

【0104】本実施の形態では、第1電極層42、42と第2電極層43、43が2層構造の電極部を形成している。第1電極層42、42が本発明における最下層の電極層である。

【0105】また、本実施の形態では、第1電極層42、42と第2電極層43、43のうち、最下層の第1電極層42、42のみと重なる領域S、Sにおける上部

シールド層45と下部シールド層31間の距離をG1s、多層膜Tの中央Cと重なる位置における上部シールド層45と下部シールド層31間の距離をG1cとしたときに、前記G1sとG1cの差の値を、磁気検出素子の実効トラック幅E-Twが0.17μmとなる値以下となるように設定している。実効トラック幅E-Twとは、前述したフルトラックプロファイル法やマイクロトラックプロファイル法などによって測定された、磁気検出素子の実質上のトラック幅であり、一般的には、光学トラック幅O-Twが0.2μm以下になると、E-Tw>O-Twとなる傾向があった。なお、多層膜Tの中央Cと重なる位置における上部シールド層45と下部シールド層31間の距離G1cは、いわゆるギャップ長である。

【0106】具体的には、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 90\text{ nm}$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 70\text{ nm}$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 30\text{ nm}$ を満たす範囲に設定することである。

【0107】あるいは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.50$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.17$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 1.50$ を満たす範囲に設定することである。

【0108】図1は、上述した前記G1sと前記G1cの値の範囲で、前記G1sと前記G1cの値を、 $G1s > G1c$ としている。すなわち、第1電極層42の上面が多層膜Tの表面より、上方(図示Y方向)にある。

【0109】第1電極層42、42は、多層膜Tの両側に隣接して設けられているので、第1電極層42、42のみと重なる領域Sにおける上部シールド層45と下部シールド層31間の距離G1sは、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離ということになる。

【0110】多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離が大きくなると、上部シールド層45と下部シールド層31の間を通して、検出対象の記録トラックの両側の記録トラックから発生する記録媒体からの磁界が磁気検出素子に侵入しやすくなり、実効トラック幅E-Twが大きくなる。すなわち、記録トラック間のクロストークが発生しやすくなる。

【0111】実際、後述するように、前記G1sとG1cの差の値が大きくなると磁気検出素子の実効トラック

幅E-Twも大きくなる。

【0112】本実施の形態では前記G1sとG1cの差の値を所定の値以下とすることによって、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離が大きくなることを抑え、実効トラック幅E-Twを小さくすることができる。

【0113】ただし、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離を小さくすると、多層膜Tの両側に設けられ、多層膜Tに直流電流を供給する第1電極層42の膜厚を薄くする必要が生じ、その結果磁気検出素子の直流抵抗値が大きくなってしまう。

【0114】本実施の形態では、電極部Lを、多層膜T近傍においては薄い第1電極層単層とし、多層膜Tから離れたところの電極部Lの膜厚を、第1電極層上に第2電極層を積層することによって大きくしている。

【0115】この結果、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離を小さくしつつ、磁気検出素子の直流抵抗値を小さくすることができる。

【0116】また、多層膜T近傍において、第1電極層42を薄く形成できるので、多層膜Tの表面と第1電極層42の側面42aとによって形成される段差Dを低くできる。従って、上部ギャップ層44の膜厚を小さくしても、この段差D上に上部ギャップ層44が確実に形成されるようになる。すなわち、上部シールド層45と電極部Lとの間の電気的短絡をより確実に防止できるようになる。

【0117】なお、多層膜T表面に平行な平面と第2電極層43の前端縁の接平面とがなす角度θ1は、多層膜T表面に平行な平面と第1電極層42の前端縁の接平面とがなす角度θ2より小さい。また、第2電極層43の膜厚t2は、第1電極層42の膜厚t1より厚い。

【0118】図2は、本発明の第2の実施の形態の磁気検出素子を記録媒体との対向面側からみた断面図である。

【0119】この磁気検出素子が、第1の実施の形態の磁気検出素子と異なるのは、最下層の電極層である第1電極層42、42上的一部分と、第2電極層43、43上の全ての領域を覆う絶縁層50、50が形成されている点のみである。

【0120】本実施の形態では、絶縁層50、50が形成されるので、上部シールド層45と電極部L、Lとの間の電気的短絡をより確実に防止できる。

【0121】本実施の形態では、第1電極層42、42と、第2電極層43、43のうち、第1電極層42、42のみと重なる領域であって、絶縁層50、50と重ならない領域における上部シールド層45と下部シールド層31間の距離をG1s、多層膜Tの中央Cと重なる位置における上部シールド層45と下部シールド層31間

の距離をG1cとしたときに、前記G1sと前記G1cの差の値を、磁気検出素子の実効トラック幅が0.17 $\mu\text{m}$ となる値以下に設定している。実効トラック幅E-Twとは、前述したフルトラックプロファイル法やマイクロトラックプロファイル法などによって測定された、磁気検出素子の実質上のトラック幅であり、一般的には光学トラック幅O-Twが0.2 $\mu\text{m}$ 以下になると、E-Tw>O-Twとなる傾向がある。

【0122】具体的には、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 90\text{ nm}$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 70\text{ nm}$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 30\text{ nm}$ を満たす範囲に設定することである。

【0123】あるいは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.50$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.17$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 1.50$ を満たす範囲に設定することである。

【0124】本実施の形態でも、前記G1sとG1cの差の値を所定の値以下とすることによって、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離が大きくなることを抑え、実効トラック幅E-Twを小さくすることができる。

【0125】また、本実施の形態でも、電極部Lを、多層膜T近傍においては薄い第1電極層単層とし、多層膜Tから離れたところの電極部Lの膜厚を、第1電極層上に第2電極層を積層することによって大きくしている。

【0126】この結果、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離を小さくしつつ、磁気検出素子の直流抵抗値を小さくすることができます。

【0127】また、多層膜T近傍において、第1電極層42を薄く形成できるので、多層膜Tの表面と第1電極層42の側面42aとによって形成される段差Dを低くできる。従って、上部ギャップ層44の膜厚を小さくしても、この段差D上に上部ギャップ層44が確実に形成されるようにできる。すなわち、上部シールド層45と電極部Lとの間の電気的短絡をより確実に防止できるようになる。

【0128】図3、図4、図5は、それぞれ本発明の第3、第4、第5の実施の形態の磁気検出素子を記録媒体との対向面側からみた断面図である。

【0129】図3の磁気検出素子と図2の磁気検出素子との違いは、図2では、前記G1sと前記G1cの値

10

20

30

40

50

を、 $G1s > G1c$ としているのに対し、図3では $G1s = G1c$ としている点のみである。すなわち、図3では、最下層の電極層である第1電極層42の上面42bと多層膜Tの表面T1の高さ位置(図示Y方向の位置；トレーリング側方向の位置)が等しくなっている。

【0130】図4の磁気検出素子と図2の磁気検出素子との違いは、図2では、前記G1sと前記G1cの値を、 $G1s > G1c$ としているのに対し、図4では $G1s < G1c$ としている点のみである。すなわち、図4では、最下層の電極層である第1電極層42の上面42bが多層膜Tの表面T1より、下方(図示Y反対方向)にある。

【0131】図5の磁気検出素子には、図2の磁気検出素子における第1電極層42、42が形成されていない。図5の磁気検出素子では、ハードバイアス層40、40が本発明における最下層の電極層を兼ねており、ハードバイアス層40、40上にはCr、Au、Ta、W、Rh、Ir、Ru、Cuなどで形成された第2電極層43、43が積層されている。第2電極層43、43は、ハードバイアス層40、40より一対の電極のトラック幅方向の間隔が大きくされている。

【0132】多層膜Tの表面、中間層41の表面、及び第2電極層43、43の表面には、上部ギャップ層44が成膜されている。さらに、最下層の電極層であるハードバイアス層40、40上の一端と、第2電極層43、43上の全ての領域を覆う絶縁層50、50が形成されている。上部ギャップ層44及び絶縁層50、50上には上部シールド層45が形成されている。

【0133】なお、ハードバイアス層40、40と、第2電極層43、43が電極部Lである。

【0134】なお、図1から図5に示した実施の形態の磁気検出素子では、反強磁性層34の中央部分には隆起部34aが形成され、隆起部34aのトラック幅方向(図示X方向)における両側端面の基端からは、トラック幅方向に長く延びる延出部34b、34bが形成されている。

【0135】反強磁性層34に延出部34bを形成し、この延出部34bの上にバイアス下地層39、39を介してハードバイアス層40、40を積層する構造では、前記ハードバイアス層40、40を、フリー磁性層37の両側端面に十分な体積を有して対向させることができる。

【0136】ただし、図6に示されるように、反強磁性層34に延出部34bが形成されなくてもよい。また、図6において、下地層33が反強磁性層34の下面のみに接して形成され、バイアス下地層39が下部ギャップ層32に直接接する構造としてもよい。

【0137】また、図1から図6に示した実施の形態の磁気検出素子では、ハードバイアス層40の多層膜Tと対向側の側面40aは、固定磁性層35の側面、非磁性

材料層36の側面、及び第2のフリー磁性層37aの側面とのみ対向しており、第1フリー磁性層37cの側面とは対向していない。ただし、図7に示すように、ハードバイアス層40の側面40aは、固定磁性層35の側面、非磁性材料層36の側面、第2のフリー磁性層37a、非磁性中間層37b、及び第1のフリー磁性層37cの側面と対向してもよい。

【0138】図8は、本発明の第8の実施の形態の磁気検出素子を記録媒体との対向面側からみた断面図である。

【0139】図8に示される実施の形態の磁気検出素子は、第1電極層42が、多層膜Tの不感領域d、d上にまで延ばされて形成されている点でのみ図2の実施の形態の磁気検出素子と異なっている。

【0140】ハードバイアス層40、40からのX方向へのバイアス磁界により、フリー磁性層37の磁化は図示X方向に揃えられている。

【0141】ところで図8に示すように多層膜Tの中央に位置する領域は、感度領域Eであり、その両側は、不感領域d、dである。

【0142】感度領域Eでは、固定磁性層35の磁化が、適正に図示Z方向に固定され、しかもフリー磁性層37の磁化が適正に図示X方向に揃えられており、固定磁性層35とフリー磁性層37の磁化が直交関係にある。そして記録媒体からの外部磁界に対し、フリー磁性層37の磁化が感度良く変動し、この磁化方向の変動と、固定磁性層35の固定磁化方向との関係で電気抵抗が変化し、この電気抵抗値の変化に基づく電圧変化により、記録媒体からの洩れ磁界が検出される。

【0143】すなわち多層膜Tの感度領域Eは、実質的に磁気抵抗効果が発揮される部分であり、この部分で良好に再生機能が働く。

【0144】これに対し、感度領域Eの両側に位置する不感領域d、dでは、固定磁性層35及びフリー磁性層37の磁化が、ハードバイアス層40、40からの磁化の影響を強く受け、フリー磁性層37の磁化は、外部磁界に対し変動しにくくなっている。すなわち不感領域d、dは、磁気抵抗効果が弱く、再生機能が低下した領域である。

【0145】図8では、第1電極層42が、多層膜Tの不感領域d、d上にまで延ばされて形成されている。これにより、電極部L、Lからのセンス電流が、ハードバイアス層40、40に流れにくくなり、ハードバイアス層40、40を介さずに、直接多層膜Tに、前記センス電流を流す割合を多くでき、しかも第1電極層42、42を不感領域d、d上にまで延ばして形成することにより、多層膜Tと、第1電極層42、42との接合面積も大きくなるため直流抵抗値(DCR)を下げる事ができ、再生特性を向上させることが可能である。

【0146】また、第1電極層42、42が不感領域

d、d上に延ばされて形成されると、センス電流が不感領域d、dに流れ込みノイズを発生させることを抑えることができる。

【0147】図9は、本発明の第9の実施の形態の磁気検出素子を記録媒体との対向面側からみた断面図である。

【0148】図9に示された磁気検出素子では、バイアス下地層39、39が、反強磁性層34の延出部34b上にのみ成膜されている。従って、ハードバイアス層40、40は、多層膜T側の側面40a、40aが、第2フリー磁性層37aの側面と直接接している。すると、ハードバイアス層40、40と第2フリー磁性層37aが磁気的に連続体となり、第2フリー磁性層37aの側端部において反磁界が発生することを防ぐことができ、安定性が増す。

【0149】バイアス下地層39、39が、多層膜Tの側面上に形成された場合でも、第2フリー磁性層37a及び第1フリー磁性層37cの側面上に形成されなければ、ハードバイアス層40、40と第2フリー磁性層37aの側面を直接接触させられる。

【0150】または、ハードバイアス層40、40と第2フリー磁性層37aとの間にバイアス下地層39、39が形成された場合でも、ハードバイアス層40、40と第2フリー磁性層37a間のバイアス下地層39、39の膜厚が1nm以下であれば、バイアス下地層39、39に生じたピンホールを通じて、ハードバイアス層40、40と第2フリー磁性層37aが磁気的に連続体となり、第2フリー磁性層37aの側端部において反磁界が発生することを防ぐことができ、安定性が増す。

【0151】図3ないし図9の磁気検出素子でも、最下層の電極層(第1電極層42、42またはハードバイアス層40、40)と、第2電極層43、43のうち、最下層の電極層のみと重なる領域であって、絶縁層50、50と重ならない領域S1、S1における上部シールド層45と下部シールド層31間の距離をG1s、多層膜Tの中央Cと重なる位置における上部シールド層45と下部シールド層31間の距離をG1cとしたときに、前記G1sと前記G1cの差の値を、磁気検出素子の実効トラック幅E-Twが0.17μmとなる値以下に設定している。実効トラック幅E-Twとは、前述したフルトラックプロファイル法やマイクロトラックプロファイル法によって測定する。

【0152】具体的には、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 90\text{ nm}$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 70\text{ nm}$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 30\text{ nm}$ を満たす範囲に設定することである。

【0153】あるいは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.50$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.17$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 1.50$ を満たす範囲に設定することである。

【0154】図3ないし図9に示された実施の形態でも、前記G1sとG1cの差の値を所定の値以下とすることによって、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離が大きくなることを抑え、実効トラック幅E-Twを小さくすることができる。

【0155】また、本実施の形態でも、電極部Lを、多層膜T近傍においては薄い第1電極層またはハードバイアス層単層とし、多層膜Tから離れたところの電極部Lの膜厚を、第1電極層またはハードバイアス層上に第2電極層を積層することによって大きくしている。

【0156】この結果、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離を小さくしつつ、磁気検出素子の直流抵抗値を小さくすることができる。

【0157】図1ないし図9の実施の形態では、フリー磁性層37の磁化方向を一定方向に揃える能力の高い強磁性材料からなるハードバイアス層40、40を用いて、フリー磁性層37を単磁区化している。

【0158】一般に、ハードバイアス層を用いると、このハードバイアス層に重なる位置に前記電極部を形成しなくてはならなくなり、前記多層膜の表面と前記電極部の側面とによって形成される段差が高くなり、上部ギャップ層が確実に形成されにくくなる。

【0159】本発明では、多層膜T近傍において電極部Lを薄く形成できるので、多層膜Tの表面と電極部Lの側面とによって形成される段差Dを低くでき、この段差D上に上部ギャップ層44が確実に形成されるようになる。すなわち、上部シールド層44と電極部Lとの間の電気的短絡をより確実に防止できるようになる。なお、必ずしも前記G1sと前記G1cの値を上記所定の値以下にしなくとも、上部シールド層44と電極部Lとの間の電気的短絡をより確実に防止できるという効果は得られる。

【0160】図10は、本発明の第10の実施の形態の磁気検出素子を記録媒体との対向面側からみた断面図である。

【0161】図10に示された磁気検出素子は、多層膜T2が図1ないし図9に示す磁気検出素子の多層膜Tの積層の順番を逆にされたものである。つまり、図10では、下地層33の上に、第1フリー磁性層37c、非磁性中間層37b、第2フリー磁性層37aからなるシン

セティックフェリフリー型のフリー磁性層37、非磁性材料層36、第2の固定磁性層35c、非磁性中間層35b、第1の固定磁性層35aからなるシンセティックフェリピンド型の固定磁性層35、反強磁性層34、保護層38が連続して積層されている。

【0162】この実施例においては、多層膜T2の第1フリー磁性層37cは、反強磁性層34よりも下方に形成されており、ハードバイアス層61、61の膜厚の厚い部分と隣接しており、従ってフリー磁性層37の磁化は容易にX方向に揃えられる。これにより、バルクハウゼンノイズの発生を低減させることができる。

【0163】下地層33の上面と第2のフリー磁性層37aの側面に接してCrなどによってバイアス下地層60が形成されている。バイアス下地層60の上には、例えばCo-Pt(コバルト-白金)合金やCo-Cr-Pt(コバルト-クロム-白金)合金などで形成されたハードバイアス層61が形成されている。

【0164】ハードバイアス層61上には、Taなどの非磁性材料で形成された中間層62が形成され、この中間層62の上に、Cr、Au、Ta、W、Rh、Ir、Ru、Cuなどで形成された第1電極層63、63が形成されている。

【0165】第1電極層63、63は、多層膜T2の両側領域に、トラック幅方向に所定の間隔を開けて形成された一対の電極からなっている。第1電極層63、63上にはCr、Au、Ta、Cu、Rh、Ir、Ru、Wなどで形成された第2電極層64、64が積層されている。第2電極層64、64は、第1電極層63、63より、一対の電極のトラック幅方向の間隔が大きくなっている。

【0166】多層膜T2の表面、第1電極層63、63の表面、及び第2電極層64、64の表面には、上部ギャップ層44が成膜され、上部ギャップ層44上には上部シールド層45が形成されている。上部シールド層45は、無機絶縁材料からなる保護層46によって覆われる。

【0167】ハードバイアス層61は、フリー磁性層37を構成する第2フリー磁性層37aと第1フリー磁性層37cのうち、一方の磁化方向を揃えるだけでよい。図10では、ハードバイアス層61の側面61aが第1フリー磁性層37cの側面にのみ対向しており、第1フリー磁性層37cの磁化方向のみをそろえている。第1フリー磁性層37cの磁化方向が一定方向に揃えられると、第2フリー磁性層37aは磁化方向が反平行となるフェリ磁性状態となり、フリー磁性層37全体の磁化方向が一定方向に揃えられる。

【0168】本実施の形態では、ハードバイアス層61は図示X方向の静磁界を、主に第1のフリー磁性層37cに与える。従って、ハードバイアス層61から発生する図示X方向の静磁界によって、第2フリー磁性層37

a の磁化方向（図示 X 方向と逆向き）が乱されることを抑えることができる。

【0169】図10の磁気検出素子でも、最下層の電極層（第1電極層63, 63）と、第2電極層64, 64のうち、最下層の電極層のみと重なる領域であって、絶縁層50, 50と重ならない領域S1, S1における上部シールド層45と下部シールド層31間の距離をG1s、多層膜T2の中央Cと重なる位置における上部シールド層45と下部シールド層31間の距離をG1cとしたときに、前記G1sと前記G1cの差の値を、磁気検出素子の実効トラック幅が0.17μmとなる値以下に設定している。実効トラック幅E-Twとは、前述したフルトラックプロファイル法又はマイクロトラックプロファイル法などによって測定する。

【0170】具体的には、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 90\text{ nm}$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 70\text{ nm}$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 30\text{ nm}$ を満たす範囲に設定することである。

【0171】あるいは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.50$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.17$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 1.50$ を満たす範囲に設定することである。

【0172】図10に示された実施の形態でも、前記G1sとG1cの差の値を所定の値以下とすることによって、多層膜T2の両側近傍における上部シールド層45と下部シールド層31間の距離が大きくなることを抑え、実効トラック幅E-Twを小さくすることができる。

【0173】また、本実施の形態でも、電極部Lを、多層膜T2近傍においては薄い第1電極層またはハードバイアス層単層とし、多層膜T2から離れたところの電極部Lの膜厚を、第1電極層またはハードバイアス層上に第2電極層を積層することによって大きくしている。

【0174】この結果、多層膜T2の両側近傍における上部シールド層45と下部シールド層31間の距離を小さくしつつ、磁気検出素子の直流抵抗値を小さくすることができる。

【0175】また、多層膜T2近傍において、第1電極層42またはハードバイアス層40を薄く形成できるので、多層膜T2の表面と第1電極層42の側面42aによって形成される段差Dを低くできる。従って、上部ギャップ層44の膜厚を小さくしても、この段差D上に

上部ギャップ層44が確実に形成されるようにできる。すなわち、上部シールド層45と電極部Lとの間の電気的短絡をより確実に防止できるようになる。

【0176】図11は、本発明の第11の実施の形態の磁気検出素子を記録媒体との対向面側からみた断面図である。

【0177】このスピンドル型薄膜素子は、非磁性材料層106を中心として、その上下に第1フリー磁性層105、第2フリー磁性層107、非磁性導電層104, 108、第1固定磁性層103、第3固定磁性層109、非磁性材料層102, 110、第2固定磁性層101、第4固定磁性層111及び反強磁性層100, 112が形成された、いわゆるデュアルスピンドル型薄膜素子と呼ばれるものであり、図1ないし図10に示すスピンドル型薄膜素子（シングルスピンドル型薄膜素子と呼ばれる）よりも高い再生出力を得ることが可能である。なお最も下側に形成されている層が下地層33で、最も上側に形成されている層が保護層38であり、下地層33から保護層38までの積層体によって多層膜T3が構成されている。

【0178】本発明では、反強磁性層100, 112がPt-Mn（白金-マンガン）合金膜により形成されている。あるいは前記Pt-Mn合金に代えて、X-Mn（ただしXは、Pd, Ir, Rh, Ruのいずれか1種または2種以上の元素である）で、あるいはPt-Mn-X'（ただしX'は、Pd, Ir, Rh, Ru, Au, Agのいずれか1種または2種以上の元素である）で形成されていてもよい。

【0179】前記第1フリー磁性層105、前記第2フリー磁性層107、前記第1固定磁性層103、前記第2固定磁性層101、前記第3固定磁性層109、前記第4固定磁性層111は、Ni-Fe（ニッケル-鉄）合金、Co（コバルト）、Co-Fe（コバルト-鉄）合金、Co-Fe-Ni合金などで形成されており、前記非磁性導電層104, 108は、Cu（銅）などの電気抵抗の低い非磁性導電材料で形成されている。

【0180】下地層33上から、第2固定磁性層101、非磁性材料層102、第1固定磁性層103、非磁性導電層104、第1フリー磁性層105の側面にかけて、Crなどで形成された緩衝膜及び配向膜となるバイアス下地層113, 113が形成されており、このバイアス下地層113, 113の形成によって、後述するハードバイアス層114, 114から発生するバイアス磁界を増大させることができる。

【0181】さらにバイアス下地層113, 113の上には、例えばCo-Pt（コバルト-白金）合金やCo-Cr-Pt（コバルト-クロム-白金）合金などで形成されたハードバイアス層114, 114が形成されている。

【0182】また前記ハードバイアス層114, 114

上には、Taなどの非磁性材料で形成された中間層115, 115が形成され、この中間層115, 115の上に、Cr、Au、Ta、W、Rh、Ir、Ru、Cuなどで形成された第1電極層116, 116が形成されている。

【0183】第1電極層116, 116は、多層膜T3の両側領域に、トラック幅方向に所定の間隔を開けて形成された一対の電極からなっている。第1電極層116, 116上にはCr、Au、Cu、Ta、Rh、Ir、Ru、Wなどで形成された第2電極層117, 117が積層されている。第2電極層117, 117は、第1電極層116, 116電極層より、一対の電極のトラック幅方向の間隔が大きくされている。

【0184】多層膜T3の表面、第1電極層116, 116の表面、及び第2電極層117, 117の表面には、上部ギャップ層44が成膜され、上部ギャップ層44上には上部シールド層45が形成されている。上部シールド層45は、無機絶縁材料からなる保護層46によって覆われる。

【0185】また、図11では、磁気モーメントが異なる前記第1固定磁性層103と前記第2固定磁性層101が、前記非磁性材料層102を介して積層されたものが、一つの固定磁性層P1として機能する。また、磁気モーメントが異なる前記第3固定磁性層109と前記第4固定磁性層111が、前記非磁性材料層110を介して積層されたものが、一つの固定磁性層P2として機能する。

【0186】前記第1固定磁性層103と前記第2固定磁性層101の磁化方向は、180度異なる反平行のフェリ磁性状態になっており、前記第1固定磁性層103と前記第2固定磁性層101とが互いに他方の磁化方向を固定しあうので、全体として固定磁性層P1の磁化方向を一定方向に安定させることができる。

【0187】図11では、前記第1固定磁性層103及び前記第2固定磁性層101と同じ材料を用いて形成し、さらに、それぞれの膜厚を異ならせることにより、それぞれの磁気モーメントを異ならせている。

【0188】また、前記第3固定磁性層109と前記第4固定磁性層111の磁化方向も、180度異なる反平行のフェリ磁性状態になっており、前記第3固定磁性層109と前記第4固定磁性層111とが互いに他方の磁化方向を固定しあっている。

【0189】なお、前記非磁性材料層102、110は、Ru、Rh、Ir、Cr、Re、Cuのうち1種あるいは2種以上の合金で形成されている。

【0190】前記第2固定磁性層101及び第4固定磁性層111は、それぞれ反強磁性層100及び112と接して形成され、磁場中アニールが施されることにより、前記第2固定磁性層101及び反強磁性層100との界面並びに前記第4固定磁性層111及び反強磁性層

112との界面にて交換結合による交換異方性磁界が生じる。

【0191】前記第2固定磁性層101の磁化方向は、図示Z方向に固定される。前記第2固定磁性層101の磁化方向が図示Y方向に固定されると、前記非磁性材料層102を介して対向する第1固定磁性層103の磁化方向が、前記第2固定磁性層101の磁化方向と反平行の状態で固定される。なお前記第2固定磁性層101の磁気モーメントと前記第1固定磁性層103の磁気モーメントを足し合わせた合成磁気モーメントの方向が前記固定磁性層P1の磁化方向となる。

【0192】前記第2固定磁性層101の磁化方向が図示Z方向に固定されるとき、前記第4固定磁性層111の磁化方向は、図示Z方向と反平行方向に固定されることが好ましい。このとき、前記非磁性材料層110を介して対向する第3固定磁性層109の磁化方向が、前記第4固定磁性層111の磁化方向と反平行方向に、すなわち、Z方向に固定される。なお前記第4固定磁性層111の磁気モーメントと前記第3固定磁性層109の磁気モーメントを足し合わせた合成磁気モーメントの方向が前記固定磁性層P2の磁化方向となる。

【0193】すると、前記第1フリー磁性層105、前記非磁性材料層106、前記第2フリー磁性層107を介して対向する、前記第1固定磁性層103と前記第3固定磁性層109の磁化方向は、互いに180度異なる反平行状態になる。

【0194】図11では、後述するように、フリー磁性層Fが前記第1フリー磁性層105と前記第2フリー磁性層107が、前記非磁性材料層106を介して積層されたものとして形成され、前記第1フリー磁性層105と前記第2フリー磁性層107の磁化方向が反平行となるフェリ磁性状態になっている。

【0195】前記第1フリー磁性層105と前記第2フリー磁性層107は、外部磁界の影響を受けて、フェリ磁性状態を保ったまま磁化方向を変化させる。このとき、前記第1固定磁性層103と前記第3固定磁性層109の磁化方向が、互いに180度異なる反平行状態になっていると、フリー磁性層Fより上層部分の抵抗変化率とフリー磁性層Fより下層部分の抵抗変化の位相が等しくなる。

【0196】さらに、前記固定磁性層P1の磁化方向と前記固定磁性層P2の磁化方向が、反平行方向であることが好ましい。

【0197】例えば、磁化方向が図示Z方向に固定されている前記第2固定磁性層101の磁気モーメントの大きさを前記第1固定磁性層103の磁気モーメントの大きさよりも大きくし、固定磁性層P1の磁化方向を図示Z方向にする。一方、磁化方向が図示Z方向に固定されている前記第3固定磁性層109の磁気モーメントの大きさを前記第4固定磁性層111の磁気モーメントの大

きさよりも小さくし、固定磁性層P2の磁化方向を図示Z方向と反平行方向にする。

【0198】すると、センス電流を図示X方向と反対向きに流したときに発生するセンス電流磁界の方向と、固定磁性層P1の磁化方向及び固定磁性層P2の磁化方向が一致し、前記第1固定磁性層103と前記第2固定磁性層101のフェリ磁性状態、及び前記第3固定磁性層109と前記第4固定磁性層111のフェリ磁性状態が安定する。

【0199】また、前記第1フリー磁性層105及び前記第2フリー磁性層107は、それぞれの磁気モーメントが異なるように形成されている。ここでも、前記第1フリー磁性層105及び前記第2フリー磁性層107を同じ材料を用いて形成し、さらに、それぞれの膜厚を異ならせることにより、前記第1フリー磁性層105及び前記第2フリー磁性層107の磁気モーメントを異ならせている。

【0200】さらに、非磁性材料層102、106、110は、Ru、Rh、Ir、Cr、Re、Cuのうち1種あるいは2種以上の合金で形成されている。

【0201】図11では、前記第1フリー磁性層105と前記第2フリー磁性層107が、前記非磁性材料層106を介して積層されたものが、一つのフリー磁性層Fとして機能する。

【0202】前記第1フリー磁性層105と前記第2フリー磁性層107の磁化方向は、反平行となるフェリ磁性状態になっており、フリー磁性層Fの膜厚を薄くすることと同等の効果が得られ、フリー磁性層F全体の単位面積あたりの実効的な磁気モーメントが小さくなつて磁化が変動しやすくなり、磁気抵抗効果素子の磁界検出感度が向上する。

【0203】前記第1フリー磁性層105の磁気モーメントと前記第2フリー磁性層107の磁気モーメントを足し合わせた合成磁気モーメントの方向が前記フリー磁性層Fの磁化方向となる。

【0204】前記ハードバイアス層114、114は図示X方向（トラック幅方向）に着磁されており、前記ハードバイアス層114、114からのX方向へのバイアス磁界により、前記フリー磁性層Fの磁化方向は図示X方向になっている。

【0205】前記感度領域Eでは、固定磁性層P1、P2の磁化方向が、適正に図示Z方向あるいはZと反対方向に固定され、しかもフリー磁性層Fの磁化が適正に図示X方向に揃えられており、固定磁性層P1、P2とフリー磁性層Fの磁化が直交関係にある。そして記録媒体からの外部磁界に対し、前記フリー磁性層Fの磁化が感度良く変動し、この磁化方向の変動と、固定磁性層P1、P2の固定磁化方向との関係で電気抵抗が変化し、この電気抵抗値の変化に基づく電圧変化により、記録媒体からの洩れ磁界が検出される。ただし、電気抵抗値の

変化（出力）に直接寄与するのは第1固定磁性層103の磁化方向と第1フリー磁性層105の磁化方向の相対角、及び第3固定磁性層109の磁化方向と第2フリー磁性層107の磁化方向の相対角であり、これらの相対角が検出電流が通電されている状態かつ信号磁界が印加されていない状態で直交していることが好ましい。

【0206】ハードバイアス層114は、フリー磁性層Fを構成する第1フリー磁性層105と第2フリー磁性層107のうち、一方の磁化方向を揃えるだけでよい。

10 図11では、第2フリー磁性層107の磁化方向のみを揃えている。第2フリー磁性層107の磁化方向が一定方向に揃えられると、第1フリー磁性層105は磁化方向が反平行となるフェリ磁性状態となり、フリー磁性層F全体の磁化方向が一定方向に揃えられる。

【0207】本実施の形態では、第1ハードバイアス層114は図示X方向の静磁界を、主に第2フリー磁性層107に与える。従って、ハードバイアス層114から発生する図示X方向の静磁界によって、第1フリー磁性層105の磁化方向（図示X方向と逆向き）が乱されることを抑えることができる。

【0208】図11の磁気検出素子でも、最下層の電極層（第1電極層116、116）と、第2電極層117、117のうち、最下層の電極層のみと重なる領域であって、絶縁層50、50と重ならない領域S1、S1における上部シールド層45と下部シールド層31間の距離をG1s、多層膜T3の中央Cと重なる位置における上部シールド層45と下部シールド層31間の距離をG1cとしたときに、前記G1sと前記G1cの差の値を、磁気検出素子の実効トラック幅E-Twが0.17μmとなる値以下に設定している。実効トラック幅E-Twとは、前述したフルトラックプロファイル法またはマイクロトラックプロファイル法によって測定する。

【0209】具体的には、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 90\text{ nm}$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 70\text{ nm}$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 30\text{ nm}$ を満たす範囲に設定することである。

【0210】あるいは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.50$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.17$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 1.50$ を満たす範囲に設定することである。

【0211】図11に示された実施の形態でも、前記G1sとG1cの差の値を所定の値以下とすることによつ

て、多層膜T3の両側近傍における上部シールド層45と下部シールド層31間の距離が大きくなることを抑え、実効トラック幅E-Twを小さくすることができる。

【0212】また、本実施の形態でも、電極部Lを、多層膜T3近傍においては薄い第1電極層またはハードバイアス層単層とし、多層膜T3から離れたところの電極部Lの膜厚を、第1電極層またはハードバイアス層上に第2電極層を積層することによって大きくしている。

【0213】この結果、多層膜T3の両側近傍における上部シールド層45と下部シールド層31間の距離を小さくしつつ、磁気検出素子の直流抵抗値を小さくすることができます。

【0214】図1から図11に示された磁気検出素子では、電極部Lを2層の電極層の積層構造としたが、電極部Lが3層以上の電極層の積層構造であってもよい。

【0215】図12は、本発明の第12の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図である。

【0216】図12の磁気検出素子は、電極部L1が3層の電極層42, 43, 51の積層構造である点でのみ図1の磁気検出素子と異なっている。

【0217】第2電極層43, 43は、第1電極層42, 42より、一対の電極のトラック幅方向の間隔が大きくされ、第3電極層51, 51は、第2電極層43, 43より、一対の電極のトラック幅方向の間隔が大きくされている。

【0218】図12の磁気検出素子では、最下層の電極層(第1電極層42, 42)、第2電極層43, 43、第3電極層51, 51のうち、最下層の電極層のみと重なる領域であって、絶縁層50, 50と重ならない領域S1, S1における上部シールド層45と下部シールド層31間の距離をG1s、多層膜Tの中央Cと重なる位置における上部シールド層45と下部シールド層31間の距離をG1cとしたときに、前記G1sと前記G1cの差の値を、磁気検出素子の実効トラック幅E-Twが0.17μmとなる値以下に設定している。実効トラック幅E-Twは、前述したフルトラックプロファイル法またはマイクロトラックプロファイル法によって測定する。

【0219】具体的には、前記G1sと前記G1cの値を、 $G1c - 20\text{nm} \leq G1s \leq G1c + 90\text{nm}$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{nm} \leq G1s \leq G1c + 70\text{nm}$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{nm} \leq G1s \leq G1c + 30\text{nm}$ を満たす範囲に設定することである。

【0220】あるいは、前記G1sと前記G1cの値

を、 $0.67 \leq G1s/G1c \leq 2.50$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s/G1c \leq 2.17$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s/G1c \leq 1.50$ を満たす範囲に設定することである。

【0221】図12に示された実施の形態でも、前記G1sとG1cの差の値を所定の値以下とすることによって、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離が大きくなることを抑え、実効トラック幅E-Twを小さくすることができる。

【0222】また、本実施の形態でも、電極部L1を、多層膜T近傍においては薄い第1電極層単層とし、多層膜Tから離れたところの電極部L1の膜厚を、第1電極層42, 42上に第2電極層43, 43及び第3電極層51, 51を積層することによって大きくしている。

【0223】この結果、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離を小さくしつつ、磁気検出素子の直流抵抗値を小さくすることができます。

【0224】また、多層膜T近傍において、第1電極層42を薄く形成できるので、多層膜Tの表面と第1電極層42の側面42aとによって形成される段差Dを低くできる。従って、上部ギャップ層44の膜厚を小さくしても、この段差D上に上部ギャップ層44が確実に形成されるようにできる。すなわち、上部シールド層45と電極部Lとの間の電気的短絡をより確実に防止できるようになる。

【0225】なお、複数層の電極層は上層の電極層ほど、前記多層膜表面に平行な平面と前記電極層の前端縁の接平面とがなす角度が小さくなり、上層の電極層ほど膜厚が厚くなることが好ましい。

【0226】なお、フリー磁性層37, Fと固定磁性層35, P1, P2は、単層の磁性材料層あるいは2層の磁性材料層(CoFe/NiFeなど)として形成されてもよい。

【0227】また、図13は、図1に示された磁気検出素子の多層膜Tと第1電極層42, 42と第2電極層43, 43を図1の図示上方から見た平面図である。

【0228】図13に示されるように、複数層の電極層のうち最下層の電極層である第1電極層42, 42のハイト方向の奥行長さZ1が、多層膜Tのハイト方向の奥行長さZ2より長くされているので、磁気検出素子の直流抵抗値を小さくできる。

【0229】なお、本発明では、多層膜T, T2、またはT3と電気的に接続される最下層の電極層(第1電極層42, 63, 117またはハードバイアス層40)は、磁気検出素子の記録媒体との対向面を研磨して直流抵抗値を調節する工程においてスマアが発生しにくいよ

うに、W, Ta, Rh, Ir, Ruなどの硬性の材料を用いて形成し、最下層の電極層以外の電極層（第2電極層、第3電極層）の材料をCr, Cu, Au, Taなどの比抵抗の小さい材料を用いて形成することが好ましい。

【0230】図2に示された磁気検出素子の製造方法を説明する。まず図14に示すように、下部シールド層31、下部ギャップ層32を成膜する。下部シールド層31は、NiFeなどの磁性材料を用いて形成し、下部ギャップ層32はAl<sub>2</sub>O<sub>3</sub>, SiO<sub>2</sub>などの絶縁性材料を用いて形成する。下部シールド層31は、基板30上に、アルミナなどの絶縁性材料からなる図示しない下地層を介して積層されている。

【0231】さらに、下部ギャップ層32上に、図2に示される下地層33、反強磁性層34、第1の固定磁性層35a、非磁性中間層35b、第2の固定磁性層35cからなるシンセティックフェリピンド型の固定磁性層35、非磁性材料層36、第2のフリー磁性層37a、非磁性中間層37b、第1フリー磁性層37cからなるシンセティックフェリフリー型のフリー磁性層37、保護層38を積層し、多層膜Tを形成する。

【0232】なおこの多層膜Tの代りに、図11に示すシングルスピンドル型薄膜素子の多層膜T2、図12に示すデュアルスピンドル型薄膜素子の多層膜T3であってもよい。

【0233】なお多層膜T, T2, またはT3を構成する反強磁性層を、PtMn合金により形成することが好ましく、またはX-Mn（ただしXは、Pd, Ir, Rh, Ruのいずれか1種または2種以上の元素である）あるいはPt-Mn-X'（ただしX'は、Pd, Ir, Rh, Ru, Au, Agのいずれか1種または2種以上の元素である）で形成してもよい。前記反強磁性層を上述した材質で形成する場合、固定磁性層との界面で交換結合磁界を発生させるには熱処理を施す必要がある。

【0234】次に、形成する磁気検出素子の光学トラック幅O-Twの領域を覆うリフトオフ用のレジスト層R1を、多層膜T上にパターン形成する。

【0235】図14に示すように、レジスト層R1には、その下面に切り込み部R1a, R1aが形成されている。

【0236】次に図15に示す工程では、エッチングにより多層膜Tの両側を削り込む。本工程では、エッティングレート及びエッティング時間を制御し、反強磁性層34の側面を削り取らず残るようすることにより、反強磁性層34を図示X方向に長く形成している。なお、反強磁性層34の側面を完全に削ると、図6に示される磁気検出素子を形成することができる。

【0237】さらに図16に示す工程では、多層膜Tの両側に、バイアス下地層39, 39、ハードバイアス層

40, 40、中間層41, 41を成膜する。バイアス下地層39, 39はCr, Ti, Mo、またはW<sub>so</sub>M<sub>so</sub>のうちいずれか一種以上、好ましくはCrを、ハードバイアス層40, 40はCo-Pt（コバルト-白金）合金やCo-Cr-Pt（コバルト-クロム-白金）合金などを、中間層41, 41はTaを用いて形成した。本実施の形態では、バイアス下地層39, 39、ハードバイアス層40, 40、中間層41, 41の成膜を異方性を有するイオンビームスパッタ法を用いて行った。

【0238】本実施の形態では、ハードバイアス層40, 40は多層膜Tと対向する側の側面40aの最上部40b, 40bが第2のフリー磁性層37aの上面37aと重なる高さ位置に形成される。すなわち、ハードバイアス層40の多層膜Tと対向する側の側面40aは、及び第2のフリー磁性層37aの側面と対向する高さ位置まで成膜され、第1フリー磁性層37cの側面とは対向しないように形成されている。ただし、図7に示されるように、ハードバイアス層40の側面40aが、固定磁性層35の側面、非磁性材料層36の側面、第2のフリー磁性層37a、非磁性中間層37b、及び第1のフリー磁性層37cの側面と対向するようにしてもよい。

【0239】ハードバイアス層40は、フリー磁性層37を構成する第2フリー磁性層37aと第1フリー磁性層37cのうち、第2フリー磁性層37aの磁化方向のみをそろえている。第2フリー磁性層37aの磁化方向が一定方向に揃えられると、第1フリー磁性層37cは磁化方向が反平行となるフェリ磁性状態となり、フリー磁性層37全体の磁化方向が一定方向に揃えられる。

【0240】本実施の形態では、ハードバイアス層40は図示X方向の静磁界を、主に第2のフリー磁性層37aに与える。従って、ハードバイアス層40から発生する図示X方向の静磁界によって、第1フリー磁性層37cの磁化方向（図示X方向と逆向き）が乱されることを抑えることができる。

【0241】次に図17に示す工程では、基板30表面の法線方向に対し所定の角度θ3から、中間層41, 41上に第1電極層42, 42を成膜する。第1電極層42, 42は、多層膜Tの両側領域に、トラック幅方向に所定の間隔Sp1を開けて形成された一対の電極からなる。

【0242】この際、第1電極層42, 42を、多層膜T上に設けられたレジスト層R1の下面に形成された切り込み部R1a, R1a内にまで成膜してもよい。

【0243】なお、第1電極層42, 42を形成するときには、図13に示されるように、第1電極層42, 42のハイト方向の奥行長さZ1を、多層膜Tのハイト方向の奥行長さZ2より長く形成することが好ましい。

【0244】そしてレジスト層R1を、レジスト剥離液を用いながらリフトオフによって除去した後、図18に

示すように、切り込み部R2a, R2aの形成されたリフトオフ用のレジスト層R2を多層膜T及び第1電極層42, 42上に形成する。

【0245】次に、基板30表面の法線方向に対し所定の角度θ4から、第1電極層42, 42上に第2の電極層43, 43を成膜する。このような製造方法を用いることにより、第2電極層43, 43を構成する一対の電極のトラック幅方向の間隔Sp2を、第1電極層42, 42電極層を構成する一対の電極のトラック幅方向の間隔Sp1より大きくできる。

【0246】この際、第2電極層43, 43を、レジスト層R2の下面に形成された切り込み部R2a, R2a内にまで成膜してもよい。

【0247】第1電極層42, 42及び第2電極層43, 43を成膜するときには、例えば、多層膜Tが形成された基板30に対し、第1電極層42, 42または第2電極層43, 43の組成で形成されたターゲットを斜めに傾けて、前記ターゲットを前記基板30上で移動または回転させながら、イオンビームスパッタ法、ロングスロースパッタ法、コリメーションスパッタ法のいずれかまたはそれらを組み合わせたスパッタ法により、第1電極層42, 42または第2電極層43, 43を中間層41, 41上に成膜する。

【0248】または、前記ターゲットを固定して基板30側を、前記ターゲットに対し斜め方向に移動または回転させてもよい。また図18に示すように、レジスト層R2の上には、第2電極層43, 43と同じ組成の層43Aが成膜される。

【0249】なお、第2電極層43, 43を成膜するときの成膜角度θ4を、第1電極層42, 42の電極層を成膜するときの成膜角度θ3よりも大きくすることが好ましい。成膜角度θ4>成膜角度θ3とすることにより、多層膜T表面に平行な平面と第2電極層43の前端縁の接平面とがなす角度θ1を、多層膜T表面に平行な平面と第1電極層42の前端縁の接平面とがなす角度θ2より小さくできる。

【0250】θ1<θ2とすると、多層膜Tに直接接続される第1電極層42, 42から多層膜Tへの電流の供給を安定化することができる。

【0251】また、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離が大きくなることを抑え、かつ磁気検出素子の直流抵抗値を小さくするために、第2電極層43の膜厚t2を、第1電極層42の膜厚t1より厚くすることが好ましい。

【0252】また、多層膜Tと電気的に接続される最下層の電極層である第1電極層42, 42を、磁気検出素子の記録媒体との対向面を研磨して直流抵抗値を調節する工程においてスマアが発生しにくいように、W, Ta, Rh, Ir, Ruなどの硬性の材料を用いて形成し、第2電極層43, 43をCr, Cu, Au, Taな

どの比抵抗の小さい材料を用いて形成することが好ましい。

【0253】そしてレジスト層R2を、レジスト剥離液を用いながらリフトオフによって除去した後、多層膜T、第1電極層42, 42及び第2電極層43, 43に、図19に示すように、上部ギャップ層44を成膜する。

【0254】さらに、図20に示す工程では、多層膜T及び最下層の電極層である第1電極層42, 42上の一10部と重なる領域に、切り込み部の形成されたリフトオフ用のレジスト層R3を積層し、基板30に対し斜め方向から第1電極層上的一部及び第2電極層43, 43上の全ての領域と重なる絶縁層50, 50を成膜する。

【0255】レジスト層R3を、レジスト剥離液を用いながらリフトオフによって除去した後、図21に示すように、上部ギャップ層44上に上部シールド層45を成膜し、上部シールド層45上に保護層46を成膜する工程を経て、図2の磁気検出素子が完成する。

【0256】なお、上記した磁気検出素子の製造方法において、第1電極層42, 42と、第2電極層43, 43のうち、第1電極層42, 42のみと重なる領域であって、絶縁層50, 50と重ならない領域S1, S1における上部シールド層45と下部シールド層31間の距離をG1s、多層膜Tの中央Cと重なる位置における上部シールド層45と下部シールド層31間の距離をG1cとしたときに、前記G1sと前記G1cの差の値を、磁気検出素子の実効トラック幅が0.17μmとなる値以下となるように、磁気検出素子を構成する各層の膜厚を設定することが好ましい。

【0257】具体的には、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 90\text{ nm}$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 70\text{ nm}$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 30\text{ nm}$ を満たす範囲に設定することである。

【0258】あるいは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.50$ を満たす範囲に設定することが好ましい。より好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.17$ を満たす範囲に設定することである。さらに好ましくは、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 1.50$ を満たす範囲に設定することである。

【0259】前記G1sとG1cの差の値を所定の値以下とすることによって、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離が大きくなることを抑え、実効トラック幅E-Twを小さくすることができる。

【0260】また、本実施の形態でも、電極部Lを、多層膜T近傍においては薄い第1電極層単層とし、多層膜Tから離れたところの電極部Lの膜厚を、第1電極層上に第2電極層を積層することによって大きくしている。

【0261】この結果、多層膜Tの両側近傍における上部シールド層45と下部シールド層31間の距離を小さくしつつ、磁気検出素子の直流抵抗値を小さくすることができます。

【0262】また、多層膜T近傍において、第1電極層42を薄く形成できるので、多層膜Tの表面と第1電極層42の側面42aとによって形成される段差Dを低くできる。従って、上部ギャップ層44の膜厚を小さくしても、この段差D上に上部ギャップ層44が確実に形成されるようになる。すなわち、上部シールド層45と電極部Lとの間の電気的短絡をより確実に防止できるようになる。

【0263】以上、図2に示された磁気検出素子の製造方法について説明したが、絶縁層50、50の形成を省略することにより、図1に示された磁気検出素子を形成することができる。また、前記G1sと前記G1cの値の上述した範囲内で、前記G1sと前記G1cの値をG1s=G1cとすると図3の磁気検出素子を形成でき、G1s<G1cとすると図4の磁気検出素子を形成できる。

【0264】また、第1電極層42、42を形成せず、中間層41、41上に直接第2電極層43、43を積層することにより、図5の磁気検出素子を形成できる。

【0265】図8の磁気検出素子を形成するときには、マイクロトラックプロファイル法などを用いて多層膜Tの不感領域d、dの幅寸法を予め別の磁気検出素子を用いて測定しておき、この不感領域d、d上ののみを覆うように、リフトオフ用のレジスト層を形成し、第1電極層42、42を成膜するときに、前記レジスト層の切り込み部内にまで、第1電極層42、42を形成すればよい。

【0266】図9に示された磁気検出素子を形成するときには、図22に示されるように、バイアス下地層39、39を基板30の表面に対する法線方向から成膜すればよい。例えば、バイアス下地層39、39をスパッタ成膜するためのターゲットを基板30に平行となるように対向させ、スパッタ粒子Saの角度分布が狭く直進性のよい方法（イオンビームスパッタ法、ロングスロースパッタ法、コリメーションスパッタ法のいずれかまたはそれらを組み合わせたスパッタ法）によって形成する。これにより、多層膜Tの側面に堆積するスパッタ粒子がほとんどなく、多層膜T中の反強磁性層34の延出部34b上にのみ成膜されるようになる。

【0267】さらに、ハードバイアス層40、40を等方性または異方性のスパッタ法を用いて成膜することにより、図9に示されるように、ハードバイアス層40、

40の多層膜T側の側面40a、40aが、第2フリー磁性層37aの側面と直接接するようになる。すると、ハードバイアス層40、40と第2フリー磁性層37aが磁気的に連続体となり、第2フリー磁性層37aの側端部において反磁界が発生することを防ぐことができ、安定性が増す。

【0268】レジスト層R1の端部R1b、R1bの位置と、スパッタ粒子Saの角度分布及び直進性を設定することにより、バイアス下地層39、39が多層膜Tの側面上に全く形成されないようにすること、第2フリー磁性層37a及び第1フリー磁性層37cの側面上に形成されない範囲でバイアス下地層39、39が多層膜Tの側面上に形成されるようにすること、ハードバイアス層40、40と第2フリー磁性層37a間のバイアス下地層39、39の膜厚が1nm以下となるようにバイアス下地層39、39が多層膜Tの側面上に形成されるようになることのうちいずれかになるようになる。

【0269】また、図12に示されるような3層以上の電極層からなる電極部Lを形成するためには、切り込み部の形成されたリフトオフ用のレジスト層を多層膜Tから既に形成された複数層の電極層のうち最上層の電極層上にかけて形成し、前記最上層の電極層上にさらに別の電極層を、前記基板の法線方向に対し所定の成膜角度から成膜し、その後前記レジスト層を除去する工程を繰り返せばよい。

【0270】図14から図17に示された工程において、多層膜Tをマスクするレジスト層を2層レジスト法、イメージリバース法などによって形成された切り込み部R1a、R1aを有するリフトオフ用のレジスト層R1としている。

【0271】ただし、本発明では、図23に示されるように、切り込み部を有さないレジスト層R4を用いて、形成する磁気検出素子の光学トラック幅O-Twの領域を覆う領域をマスクしてもよい。光学トラック幅O-Twを0.2μm以下の幅寸法で形成するときには、電子ビームリソグラフィーなどを用いて、切り込み部を有さないレジスト層R4を形成することが有効である。

【0272】レジスト層R4の形成後、図24に示すごとくエッチングにより多層膜Tの両側を削り込む。

【0273】さらに図25に示す工程では、多層膜Tの両側に、バイアス下地層39、39、ハードバイアス層40、40、中間層41、41、及び第1電極層42、42を成膜する。

【0274】本発明では、多層膜T近傍において第1電極層42、42を薄く形成でき、多層膜Tの表面と第1電極層42、42の側面とによって形成される段差Dの高さ寸法t3を低くできる。従って、レジスト層R4が切り込み部を有さなくとも、第1電極層42、42の成膜後にレジスト層R4を確実に除去できる。

【0275】なお、本発明の磁気検出素子に記録用のイ

ンダクティブヘッドを積層して、記録再生複合型磁気ヘッドを構成してもよい。

### 【0276】

【実施例】図1に示された構造の磁気検出素子を用いて浮上式磁気ヘッドを形成し、磁気検出素子の多層膜Tの中央Cと重なる位置における上部シールド層45と下部シールド層31間の距離G1cを固定し、第1電極層42, 42のみと重なる領域であって、第2電極層43, 43と重ならない領域S, Sにおける上部シールド層45と下部シールド層31間の距離G1sを変化させたときの実効トラック幅 (effective read width) E-Twを測定した。

【0277】実効トラック幅E-Twの測定は、先に説明したフルトラックプロファイル法を用いて行った(図27参照)。

【0278】測定に用いた磁気検出素子のG1cは60nm、光学的トラック幅O-Twを0.15μm、多層膜Tのハイト方向長さZ2を0.1μm、記録媒体からの磁気的浮上量を18nmとした。また、ハードバイアス層の40, 40の残留磁化×膜厚の値を7.5T·nmとしたときと21.7T·nmとしたときの2通りの場合について調べた。

【0279】図26に、前記G1sとG1cの差の値と実効トラック幅E-Twとの関係を示すグラフを示す。

【0280】図26のグラフから、前記G1sの値が小さくなると実効トラック幅E-Twが小さくなることが分かる。

【0281】ハードバイアス層の40, 40の残留磁化×膜厚の値を7.5T·nmとした場合、実効トラック幅E-Twを0.17μm以下にするためには、前記G1sとG1cの差の値を90nm以下とすればよいことが分かる。さらに、前記G1sとG1cの差の値を70nm以下とすれば、実効トラック幅E-Twを0.167μm以下にでき、前記G1sとG1cの差の値を30nm以下とすれば、実効トラック幅E-Twを0.165μm以下にできる。

【0282】また、ハードバイアス層の40, 40の残留磁化×膜厚の値を21.7T·nmとした場合、前記G1sとG1cの差の値を70nm以下とすれば、実効トラック幅E-Twを0.16μm以下にでき、前記G1sとG1cの差の値を30nm以下とすれば、実効トラック幅E-Twを0.157μm以下にできる。

【0283】なお、充分な厚さのハードバイアス層40, 40を形成するためには、G1s-G1c≥-20nmとすることが好ましい。

【0284】これらの結果から、本発明では、前記G1sと前記G1cの値を、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 90\text{ nm}$ を満たす範囲に設定することが好ましいとし、より好ましくは、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 70\text{ nm}$ を満たす範囲に設定すること、さらに好

ましくは、 $G1c - 20\text{ nm} \leq G1s \leq G1c + 30\text{ nm}$ を満たす範囲に設定することとした。

【0285】また、前記G1cが60nmであることと、上記前記G1sと前記G1cの好ましい値の範囲とから、前記G1sと前記G1cの値を、 $0.67 \leq G1s / G1c \leq 2.50$ を満たす範囲に設定することが好ましいとし、より好ましくは、 $0.67 \leq G1s / G1c \leq 2.17$ を満たす範囲に設定すること、さらに好ましくは、 $0.67 \leq G1s / G1c \leq 1.50$ を満たす範囲に設定することとした。

### 【0286】

【発明の効果】以上詳細に説明した本発明によれば、前記G1sとG1cの差の値を所定の値以下とすることによって、前記多層膜の両側近傍における前記上部シールド層と前記下部シールド層間の距離を小さくし、実効トラック幅を小さくすることができる。

【0287】また、本発明では、前記電極部をトラック幅方向に所定の間隔を開けて形成された一対の電極からなる電極層が複数層積層され、上層の電極層ほど前記一対の電極のトラック幅方向の間隔が大きくされたものとすることによって、前記多層膜近傍においては前記電極部を薄く形成し、前記多層膜から離れたところで、前記電極層を複数層積層することによって、前記電極部の膜厚を大きくしている。

【0288】この結果、前記多層膜の両側近傍における前記上部シールド層と前記下部シールド層間の距離を小さくしつつ、磁気検出素子の直流抵抗値が大きくなることを抑えることができる。

【0289】また、本発明では、前記多層膜近傍においては前記電極部を薄く形成できるので、前記多層膜の表面と前記電極部の側面とによって形成される段差を低くできる。従って、前記上部ギャップ層の膜厚を小さくしても、この段差上に前記上部ギャップ層が確実に形成されるようにできる。すなわち、前記上部シールド層と前記電極層との間の電気的短絡をより確実に防止できるようになる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図、

【図2】本発明の第2の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図、

【図3】本発明の第3の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図、

【図4】本発明の第4の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図、

【図5】本発明の第5の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図、

【図6】本発明の第6の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図、

【図7】本発明の第7の実施の形態の磁気検出素子を記

記録媒体との対向面側から見た断面図、

【図8】本発明の第8の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図、

【図9】本発明の第9の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図、

【図10】本発明の第10の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図、

【図11】本発明の第11の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図、

【図12】本発明の第12の実施の形態の磁気検出素子を記録媒体との対向面側から見た断面図、

【図13】図1に示された磁気検出素子の多層膜Tと第1電極層42、42と第2電極層43、43を図1の図示上方から見た平面図、

【図14】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

【図15】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

【図16】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

【図17】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

【図18】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

【図19】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

【図20】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

【図21】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

【図22】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

【図23】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

10

【図24】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

【図25】本発明の磁気検出素子の製造方法の実施の形態を示す一工程図、

【図26】前記G1sとG1cの差の値と実効トラック幅との関係を示すグラフ、

【図27】フルトラックプロファイル法を説明するためのグラフ、

【図28】従来の磁気検出素子を記録媒体との対向面側から見た断面図、

**【符号の説明】**

3 1 下部シールド層

3 2 下部ギャップ層

3 3 下地層

3 4 反強磁性層

3 5 固定磁性層

3 5 a 第1の固定磁性層

3 5 b 非磁性中間層

3 5 c 第2の固定磁性層

20 3 6 非磁性材料層

3 7 フリー磁性層

3 7 a 第2のフリー磁性層

3 7 b 非磁性中間層

3 7 c 第1フリー磁性層

3 8 保護層

3 9 バイアス下地層

4 0 ハードバイアス層

4 1 中間層

4 2 第1電極層

30 4 3 第2電極層

4 4 上部ギャップ層

4 5 上部シールド層

4 6 保護層

T 多層膜

【図13】

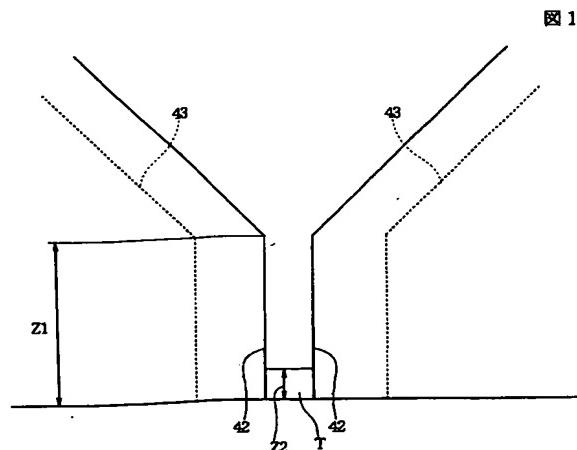


図13

【図14】

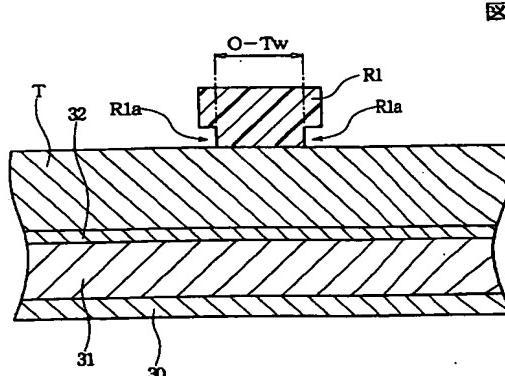
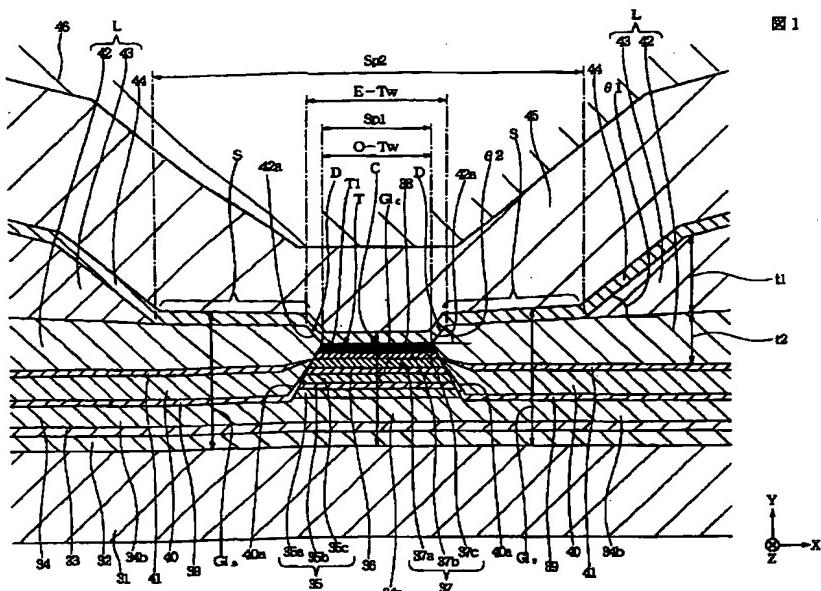
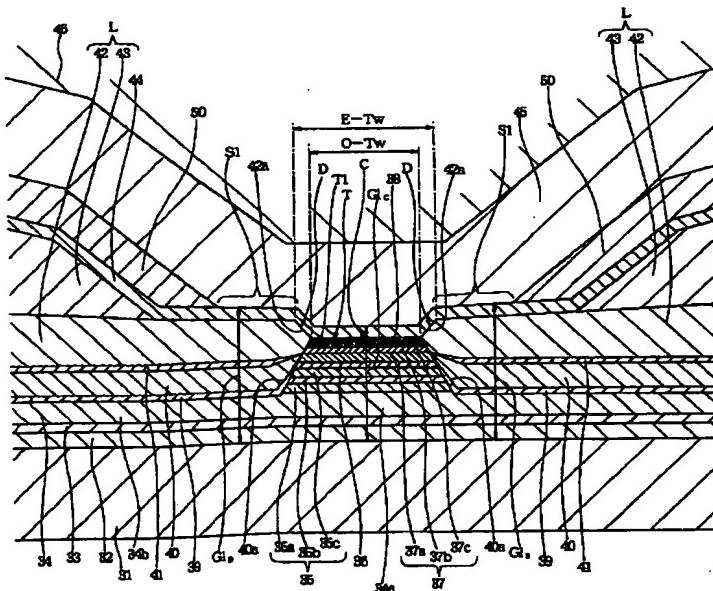


図14

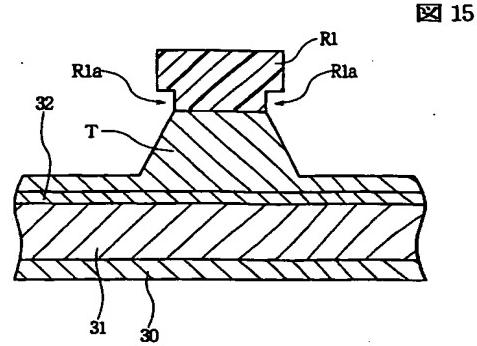
【図1】



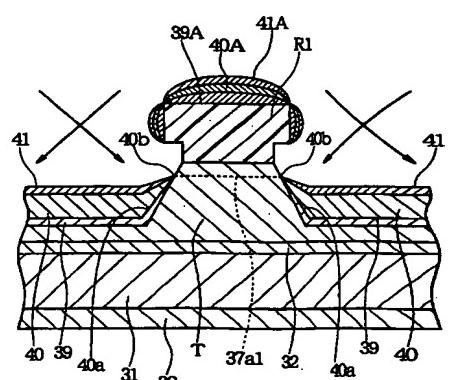
〔四二〕



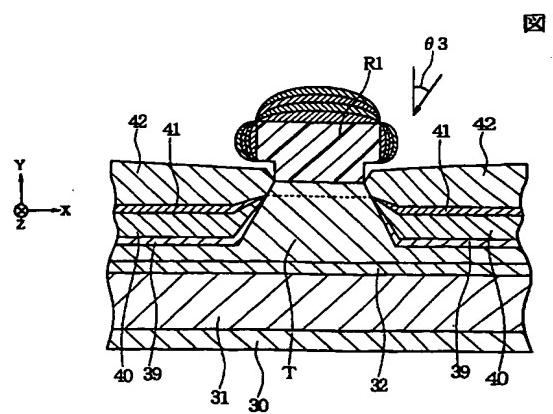
【図15】



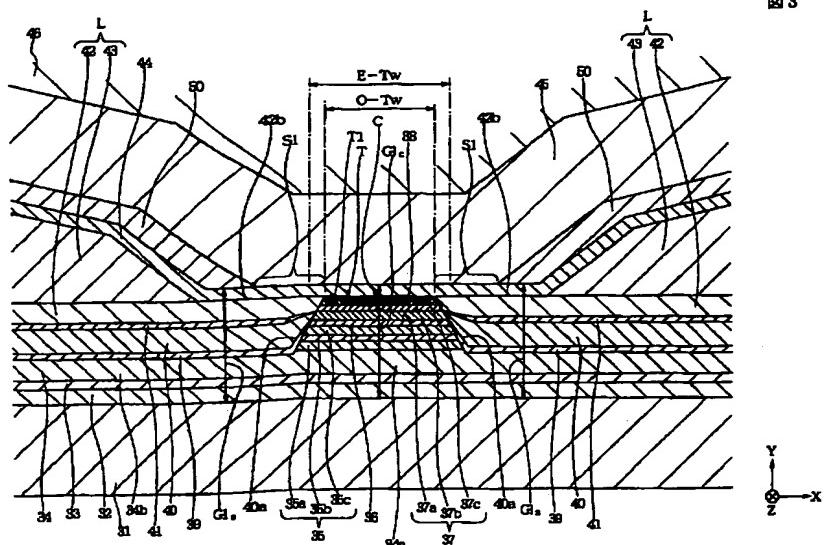
【図16】



【图 17】



【図3】



【図22】

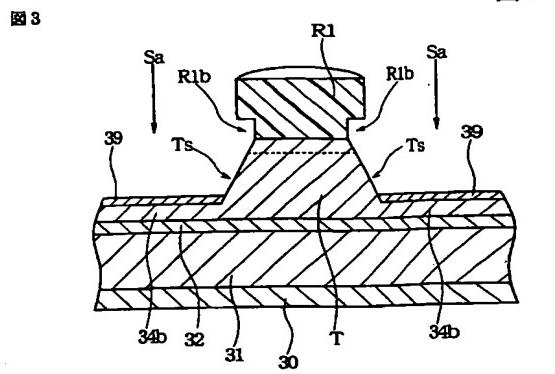


図22

【図24】

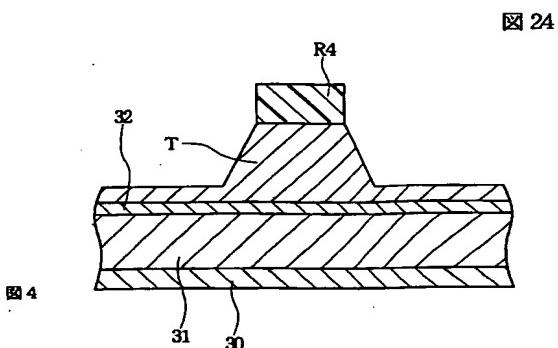


図24

【図4】

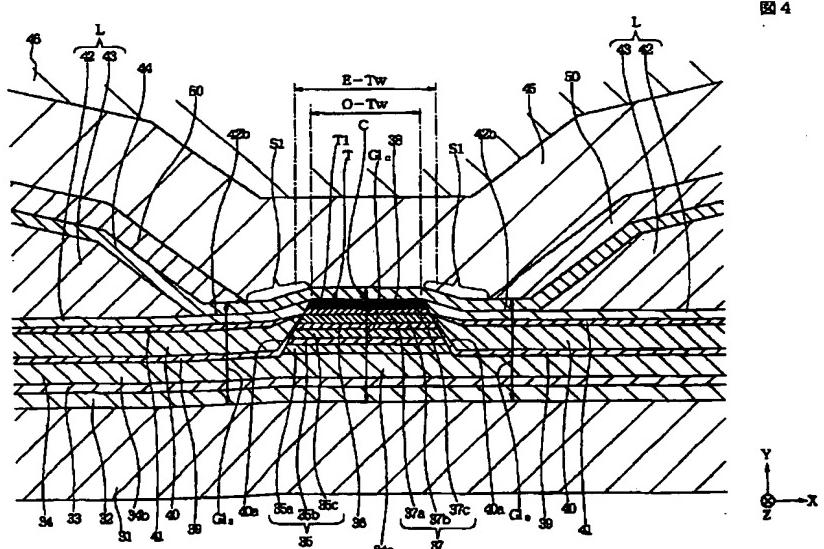
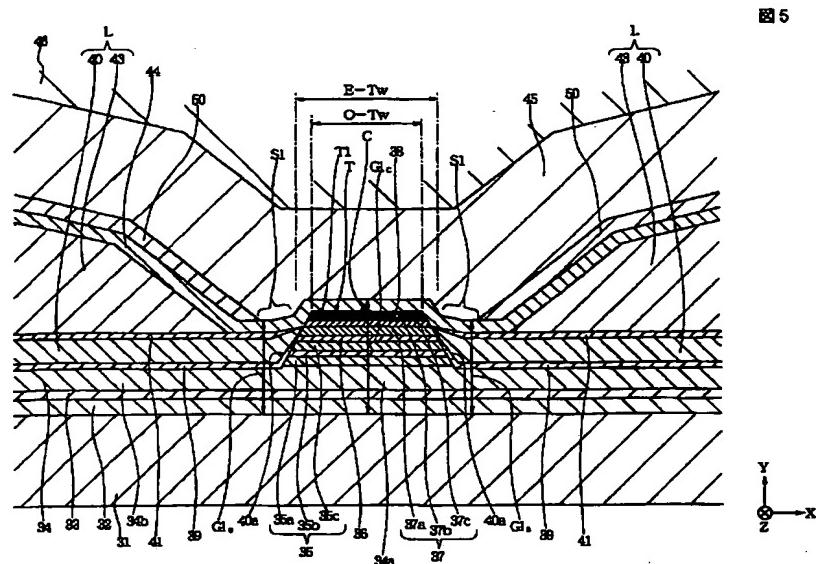


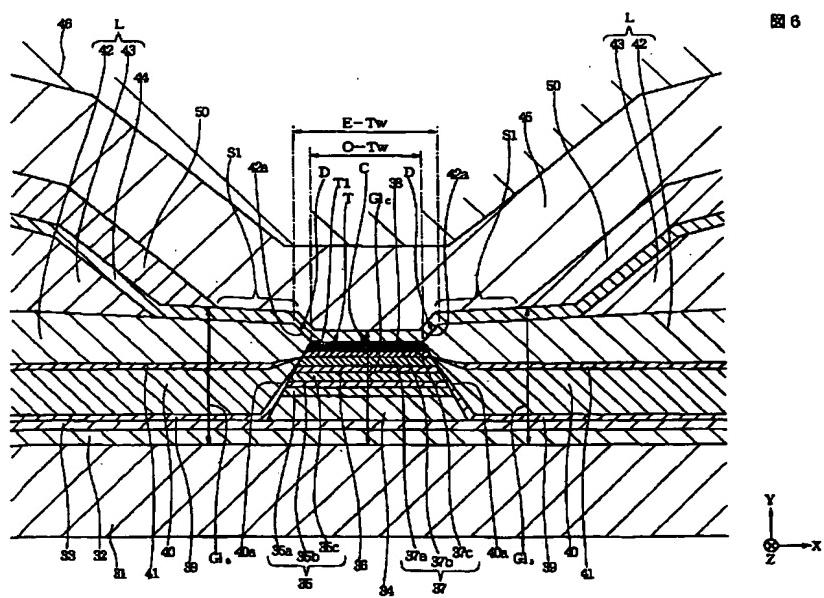
図4

Y  
Z  
X

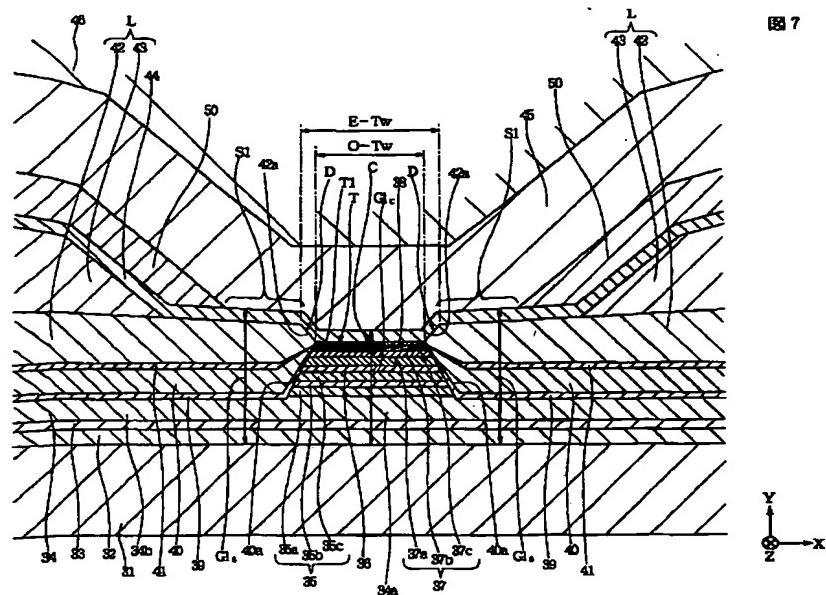
【図5】



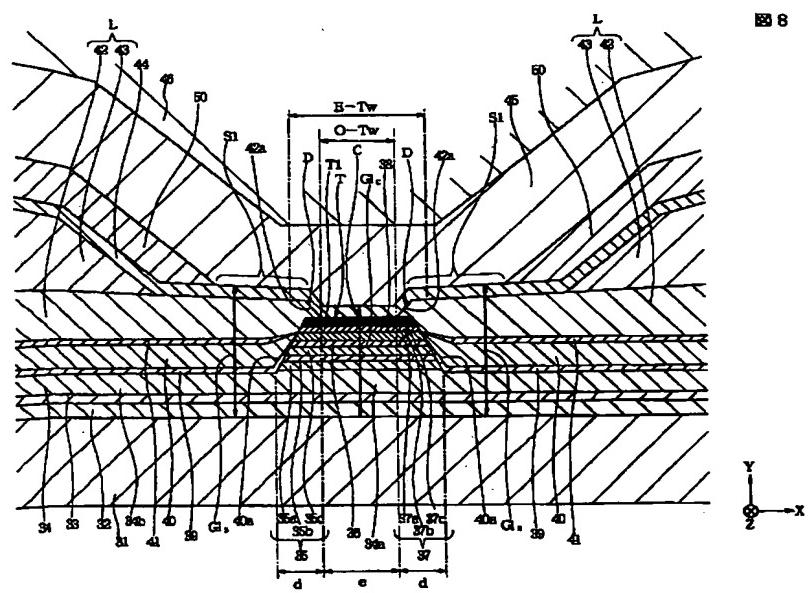
【图6】



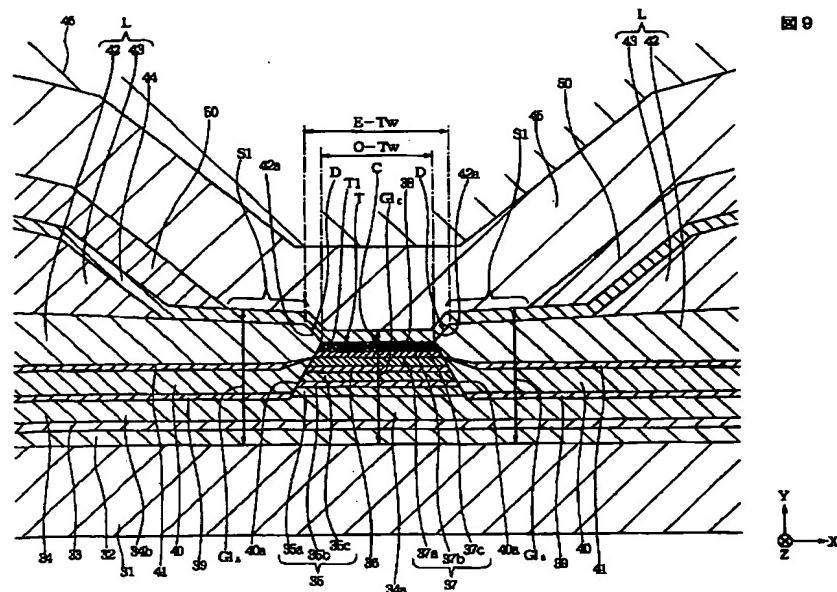
【図7】



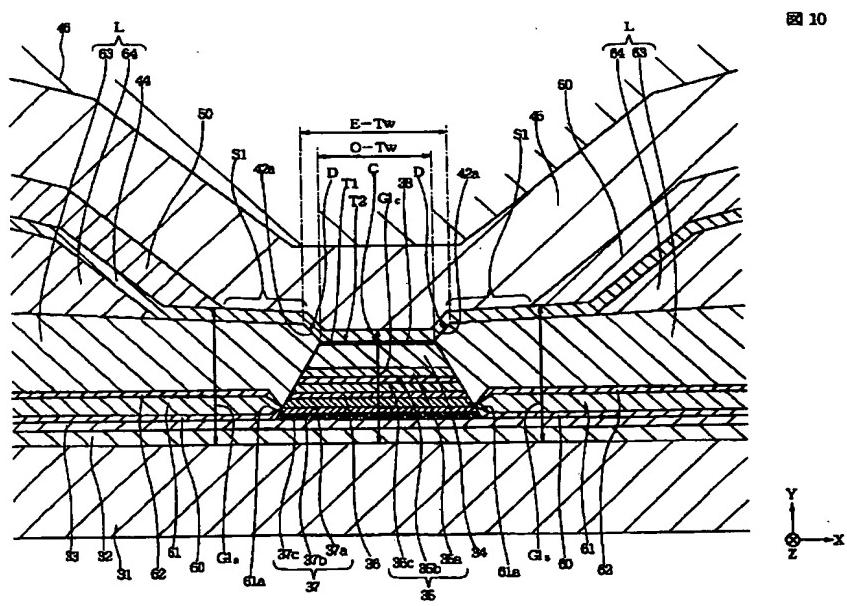
【図8】



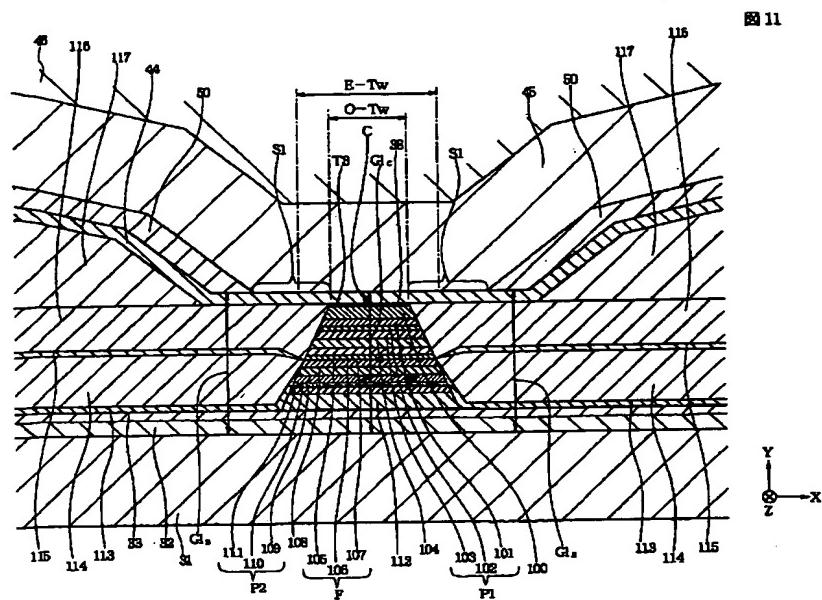
【図9】



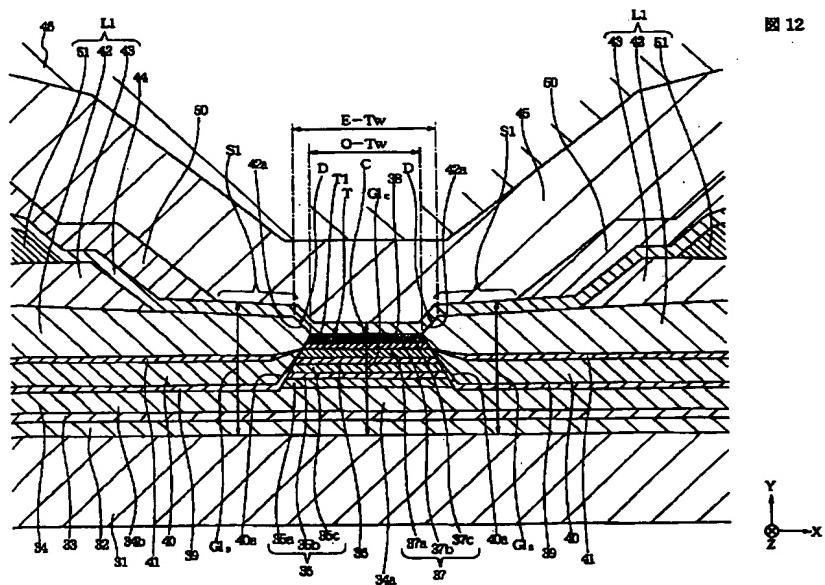
【図10】



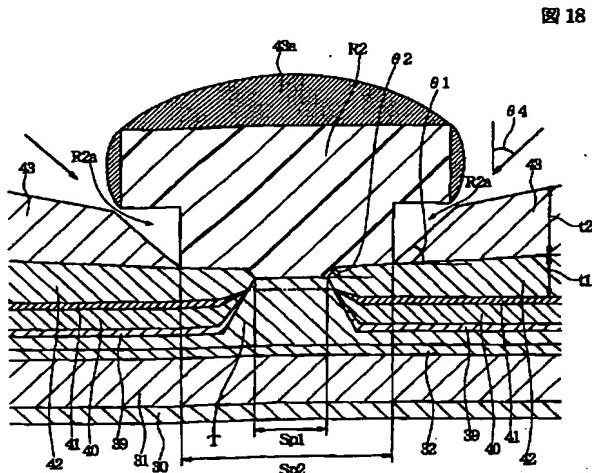
【図11】



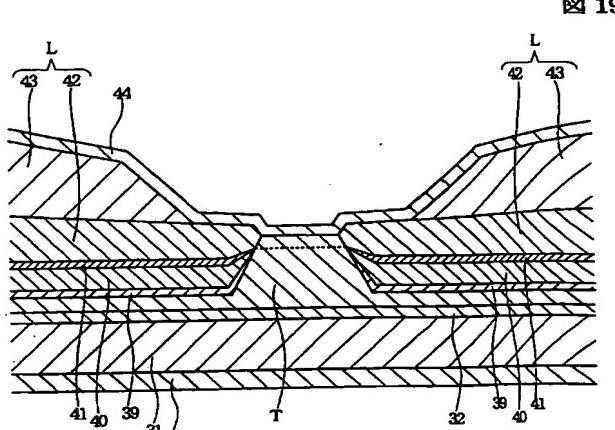
【図12】



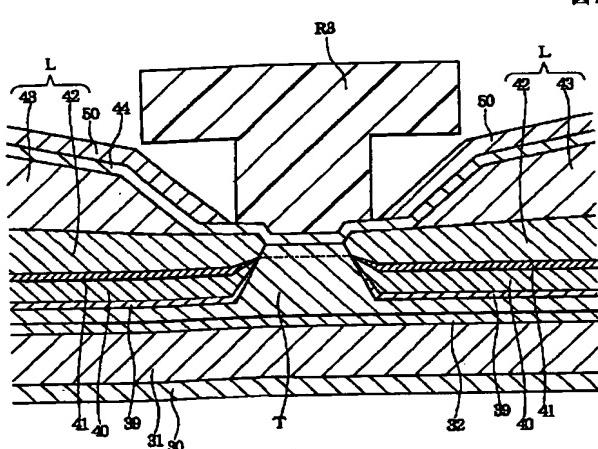
【図18】



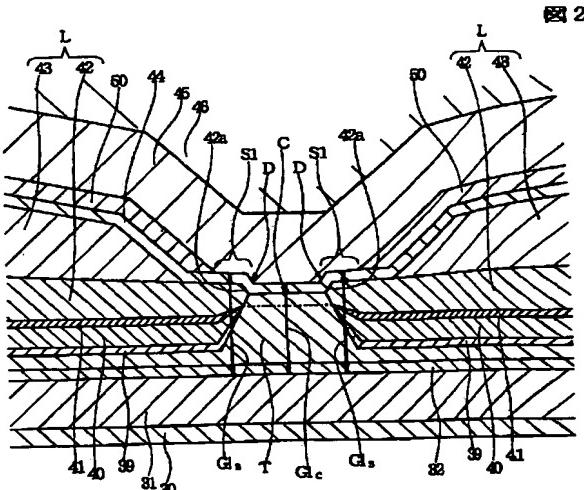
【図19】



【図20】

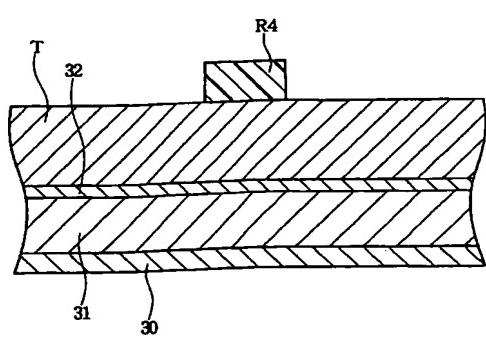


【図21】



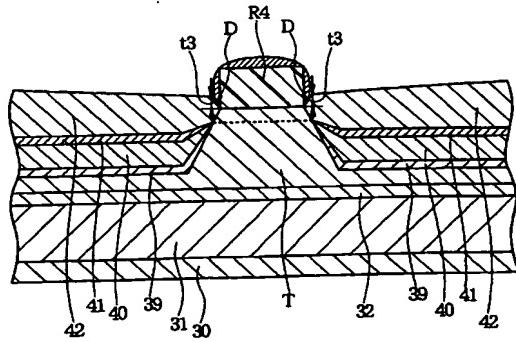
【図23】

図23



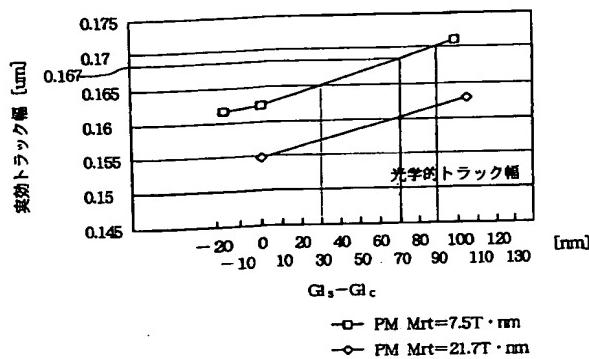
【図25】

図25



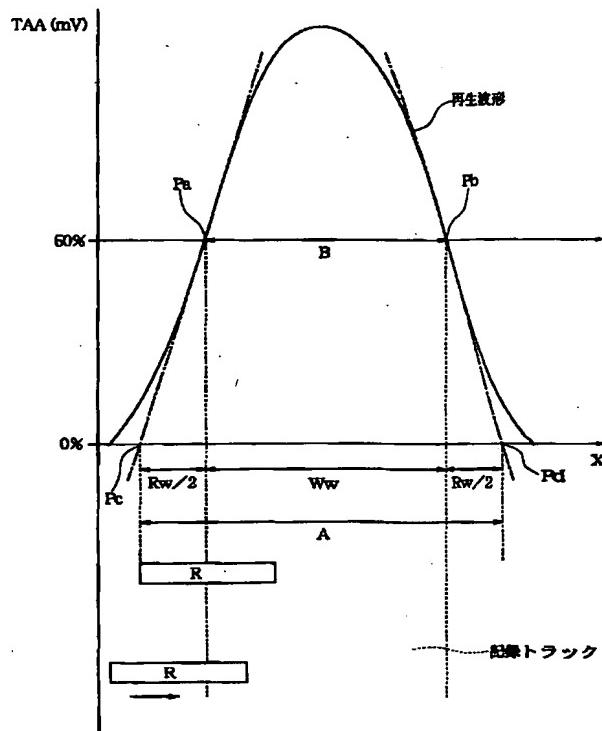
【図26】

図26



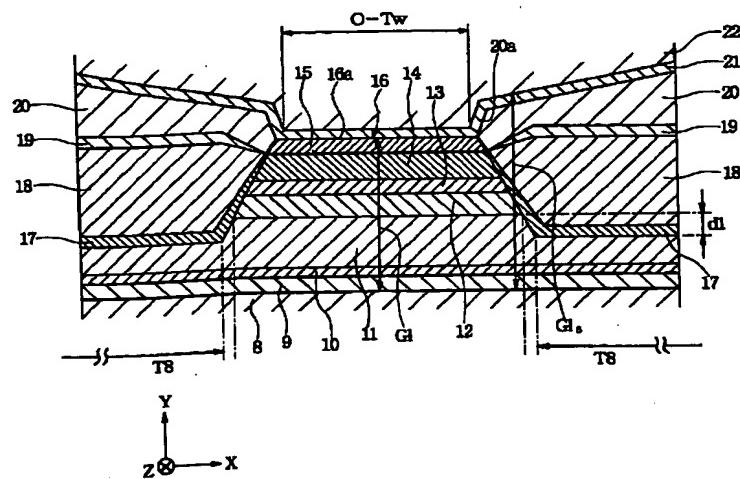
【図27】

図27



【図28】

図28



## フロントページの続き

(72)発明者 佐藤 清  
東京都大田区雪谷大塚町1番7号 アルブ  
ス電気株式会社内  
(72)発明者 長谷川 直也  
東京都大田区雪谷大塚町1番7号 アルブ  
ス電気株式会社内

(72)発明者 中澤 由紀恵  
東京都大田区雪谷大塚町1番7号 アルブ  
ス電気株式会社内  
F ターム(参考) 2G017 AA01 AC01 AD55 AD63 AD65  
5D034 BA04 BA05 BA08 BA09 BA12  
BA16 BB08 CA00 CA08 DA07